

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6445746号
(P6445746)

(45) 発行日 平成30年12月26日(2018.12.26)

(24) 登録日 平成30年12月7日(2018.12.7)

(51) Int.Cl.		F I			
H03M	1/10	(2006.01)	H03M	1/10	A
H03M	1/38	(2006.01)	H03M	1/38	
H04N	5/378	(2011.01)	H04N	5/378	
A61B	1/045	(2006.01)	A61B	1/045	630

請求項の数 9 (全 34 頁)

(21) 出願番号	特願2018-537891 (P2018-537891)	(73) 特許権者	000000376
(86) (22) 出願日	平成29年9月6日(2017.9.6)		オリンパス株式会社
(86) 国際出願番号	PCT/JP2017/032169		東京都八王子市石川町2951番地
(87) 国際公開番号	W02018/116540	(74) 代理人	110002147
(87) 国際公開日	平成30年6月28日(2018.6.28)		特許業務法人酒井国際特許事務所
審査請求日	平成30年7月19日(2018.7.19)	(72) 発明者	平出 修三
(31) 優先権主張番号	特願2016-247964 (P2016-247964)		東京都八王子市石川町2951番地 オリ
(32) 優先日	平成28年12月21日(2016.12.21)		ンパス株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	原田 靖也
早期審査対象出願			東京都八王子市石川町2951番地 オリ
		(72) 発明者	大澤 雅人
			東京都八王子市石川町2951番地 オリ
			ンパス株式会社内

最終頁に続く

(54) 【発明の名称】 逐次比較型A/D変換装置、撮像装置、内視鏡および設定方法

(57) 【特許請求の範囲】

【請求項1】

差動入力信号として入力された一対のアナログ信号をサンプリングするサンプリング回路と、

前記サンプリング回路によりサンプリングされた一対のアナログ信号を保持するバイナリ容量を有し、前記バイナリ容量を介して前記一対のアナログ信号に参照信号の信号レベルを反映させることにより一対の電圧信号を発生させる容量回路と、

前記一対の電圧信号が入力される入力トランジスタを有し、前記一対の電圧信号をなす一方の信号と他方の信号とを比較する比較回路と、

前記比較回路の前段側に設けられ、前記入力トランジスタにおける寄生容量の電圧依存性を相殺した前記一対の電圧信号を前記比較回路へ出力する補正回路と、

前記比較回路による比較の結果に基づき、前記バイナリ容量に対応するデジタル信号の各ビットの値を2分探索法により逐次的に判定し、前記デジタル信号の各ビットの値を前記参照信号に反映させる制御回路と、

を備えることを特徴とする逐次比較型A/D変換装置。

【請求項2】

前記補正回路は、

前記寄生容量の電圧依存性を相殺した補正用トランジスタと、

前記補正用トランジスタに所定のバイアス電圧を印加するバイアス回路と、

を有することを特徴とする請求項1に記載の逐次比較型A/D変換装置。

10

20

【請求項 3】

前記バイアス回路は、前記バイアス電圧が調整可能であることを特徴とする請求項 2 に記載の逐次比較型 A / D 変換装置。

【請求項 4】

前記補正用トランジスタの容量の電圧依存性は、前記寄生容量の電圧依存と逆特性を有することを特徴とする請求項 3 に記載の逐次比較型 A / D 変換装置。

【請求項 5】

請求項 1 に記載の逐次比較型 A / D 変換装置と、
二次元マトリクス状に配置されてなり、外部から入力される光を受光して光電変換を行って撮像信号を出力する複数の画素を有する撮像素子と、

10

を備え、

前記撮像素子は、

前記複数の画素の配置における列毎に設けられ、前記撮像信号に含まれるノイズ成分を除去するノイズ除去部と、

前記複数の画素の配置における列毎に設けられ、前記ノイズ除去部が前記ノイズ成分を除去した前記撮像信号を増幅して出力する複数の列ソースフォロワバッファと、

前記複数の列ソースフォロワバッファを順次選択して前記撮像信号を出力させる水平走査部と、

前記水平走査部によって順次選択された前記列ソースフォロワバッファと接続することによってボルテージフォロワ回路を形成し、前記列ソースフォロワバッファから出力された前記撮像信号の電圧に対してインピーダンス変換を行って前記逐次比較型 A / D 変換装置へ出力するバッファ部と、

20

を備えることを特徴とする撮像装置。

【請求項 6】

前記撮像素子は、

前記画素で生成された前記信号と同相の揺らぎ成分を有する基準信号を生成して前記逐次比較型 A / D 変換装置へ出力する基準信号生成部をさらに備え、

前記逐次比較型 A / D 変換装置は、前記撮像信号および前記基準信号を前記差動入力信号として入力することを特徴とする請求項 5 に記載の撮像装置。

【請求項 7】

30

前記基準信号生成部は、前記画素と等価な構造の素子または回路を有することを特徴とする請求項 6 に記載の撮像装置。

【請求項 8】

請求項 5 に記載の撮像装置と、

被検体に挿入可能であり、先端部に前記撮像装置を配置してなる挿入部と、

を備えることを特徴とする内視鏡。

【請求項 9】

差動入力信号として入力された一対のアナログ信号をサンプリングするサンプリング回路と、前記サンプリング回路によりサンプリングされた一対のアナログ信号を保持するバイナリ容量を有し、前記バイナリ容量を介して前記一対のアナログ信号に参照信号の信号レベルを反映させることにより一対の電圧信号を発生させる容量回路と、前記一対の電圧信号が入力される入力トランジスタを有し、前記一対の電圧信号をなす一方の信号と他方の信号とを比較する比較回路と、前記比較回路の前段側に設けられ、前記入力トランジスタにおける寄生容量の電圧依存性を相殺した補正用トランジスタと、前記補正用トランジスタに所定のバイアス電圧を印加するバイアス回路と、を有し、前記一対の電圧信号を前記比較回路へ出力する補正回路と、前記比較回路による比較の結果に基づき、前記バイナリ容量に対応するデジタル信号の各ビットの値を 2 分探索法により逐次的に判定し、前記デジタル信号の各ビットの値を前記参照信号に反映させる制御回路と、を備えることを特徴とする逐次比較型 A / D 変換装置に実行する設定方法であって、

40

前記バイアス回路が印加する前記バイアス電圧の値を設定する第 1 の設定ステップと、

50

前記補正用トランジスタに前記第 1 の設定ステップで設定した値の前記バイアス電圧を順次印加する印加ステップと、

前記逐次比較型 A / D 変換装置にテスト信号を順次入力して A / D 変換を実行させる A / D 変換ステップと、

前記 A / D 変換ステップで変換された出力コードを順次測定した測定結果に基づいて、前記出力コード毎の積分非直線誤差を算出する第 1 の算出ステップと、

前記積分非直線誤差に基づいて、前記積分非直線誤差の最大値および最小値の各々を、前記出力コード毎に算出する第 2 の算出ステップと、

前記第 2 の算出ステップにおいて算出された複数の前記最大値と前記最小値の絶対値の差分が小さく、かつ、前記最大値と前記最小値の絶対値の平均値が小さい前記バイアス電圧の値を前記バイアス回路が印加する前記バイアス電圧の値に設定する第 2 の設定ステップと、

10

を含むことを特徴とする設定方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、外部から入力されるアナログの信号をデジタルの信号に変換する逐次比較型 A / D 変換装置、撮像装置、内視鏡および設定方法に関する。

【背景技術】

【0002】

20

消費電力の低い A / D 変換装置として、例えば非特許文献 1 に開示された差動入力非同期方式の逐次比較型 A / D 変換装置が知られている。この逐次比較型 A / D 変換装置は、差動入力信号として入力された一対のアナログ信号をサンプルホールド回路で保持し、保持したアナログ信号に容量回路を通じて基準信号を反映させることにより比較回路に比較電圧信号を発生させ、この比較電圧信号に基づいて、逐次比較論理回路が 2 分探索アルゴリズムに従って差動入力信号に対応するデジタル信号の MSB から LSB までの各ビットの値 (0 または 1) を決定すると共に、決定された各ビットの値を基準信号にフィードバックする。

【0003】

逐次比較型 A / D 変換装置は、オペアンプ等のアナログ回路を使用することなく、その大部分をデジタル回路で構成することができる。このため、微細 CMOS (Complementary Metal Oxide Semiconductor) プロセスを用いて逐次比較型 A / D 変換装置を小型に実現することができ、また消費電力を低減させることができる。このような低消費電力化および小型化を可能とする観点から、逐次比較型 A / D 変換装置は、例えば携帯機器などのシステム LSI (Large Scale Integration) に用いられている。

30

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】 “A 26uW 8bit 10MS/s Asynchronous SAR ADC for Low Energy Radios”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol46, No7 JULY 2011 pp1585-1595

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、上述した逐次比較型 A / D 変換装置は、A / D 変換を実行する際に、ビット変換毎にコンパレータの入力電圧が変化することで、A / D 変換を実行中にコンパレータの入力容量も変動する。このため、上述した逐次比較型 A / D 変換装置は、コンパレータの入力端子に接続される容量が変化することによって、ゲイン係数が A / D 変換の最中に変動し、出力信号に誤差が生じることで、出力信号の線形性が劣化するという問題点があった。

50

【0006】

本発明は、上記に鑑みてなされたものであって、出力信号の線形性が劣化することを防止することができる逐次比較型A/D変換装置、撮像装置、内視鏡および設定方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上述した課題を解決し、目的を達成するために、本発明に係る逐次比較型A/D変換装置は、差動入力信号として入力された一对のアナログ信号をサンプリングするサンプリング回路と、前記サンプリング回路によりサンプリングされた一对のアナログ信号を保持するバイナリ容量を有し、前記バイナリ容量を介して前記一对のアナログ信号に参照信号の信号レベルを反映させることにより一对の電圧信号を発生させる容量回路と、前記一对の電圧信号が入力される入力トランジスタを有し、前記一对の電圧信号をなす一方の信号と他方の信号とを比較する比較回路と、前記比較回路の前段側に設けられ、前記入力トランジスタにおける寄生容量を相殺した前記一对の電圧信号を前記比較回路へ出力する補正回路と、前記比較回路による比較の結果に基づき、前記バイナリ容量に対応するデジタル信号の各ビットの値を2分探索法により逐次的に判定し、前記デジタル信号の各ビットの値を前記参照信号に反映させる制御回路と、を備えることを特徴とする。

10

【0008】

また、本発明に係る逐次比較型A/D変換装置は、上記発明において、前記補正回路は、前記寄生容量を相殺する補正用トランジスタと、前記補正用トランジスタに所定のバイアス電圧を印加するバイアス回路と、を有することを特徴とする。

20

【0009】

また、本発明に係る逐次比較型A/D変換装置は、上記発明において、前記バイアス回路は、前記バイアス電圧が調整可能であることを特徴とする。

【0010】

また、本発明に係る逐次比較型A/D変換装置は、上記発明において、前記補正用トランジスタの容量の電圧依存性は、前記寄生容量の電圧依存と逆特性を有することを特徴とする。

【0011】

また、本発明に係る撮像装置は、上記発明の逐次比較型A/D変換装置と、二次元マトリクス状に配置されてなり、外部から入力される光を受光して光電変換を行って撮像信号を出力する複数の画素を有する撮像素子と、を備え、前記撮像素子は、前記複数の画素の配置における列毎に設けられ、前記撮像信号に含まれるノイズ成分を除去するノイズ除去部と、前記複数の画素の配置における列毎に設けられ、前記ノイズ除去部が前記ノイズ成分を除去した前記撮像信号を増幅して出力する複数の列ソースフォロワバッファと、前記複数の列ソースフォロワバッファを順次選択して前記撮像信号を出力させる水平走査部と、前記水平走査部によって順次選択された前記列ソースフォロワバッファと接続することによってボルテージフォロワ回路を形成し、前記列ソースフォロワバッファから出力された前記撮像信号の電圧に対してインピーダンス変換を行って前記逐次比較型A/D変換装置へ出力するバッファ部と、を備えることを特徴とする。

30

40

【0012】

また、本発明に係る撮像装置は、上記発明において、前記撮像素子は、前記画素で生成された前記信号と同相の揺らぎ成分を有する基準信号を生成して前記逐次比較型A/D変換装置へ出力する基準信号生成部をさらに備え、前記逐次比較型A/D変換装置は、前記撮像信号および前記基準信号を前記差動入力信号として入力することを特徴とする。

【0013】

また、本発明に係る内視鏡は、上記発明の撮像装置と、被検体に挿入可能であり、先端部に前記撮像装置を設けた挿入部と、を備えることを特徴とする。

【0014】

また、本発明に係る設定方法は、差動入力信号として入力された一对のアナログ信号を

50

サンプリングするサンプリング回路と、前記サンプリング回路によりサンプリングされた一対のアナログ信号を保持するバイナリ容量を有し、前記バイナリ容量を介して前記一対のアナログ信号に参照信号の信号レベルを反映させることにより一対の電圧信号を発生させる容量回路と、前記一対の電圧信号が入力される入力トランジスタを有し、前記一対の電圧信号をなす一方の信号と他方の信号とを比較する比較回路と、前記比較回路の前段側に設けられ、前記入力トランジスタにおける寄生容量を相殺する補正用トランジスタと、前記補正用トランジスタに所定のバイアス電圧を印加するバイアス回路と、を有し、前記一対の電圧信号を前記比較回路へ出力する補正回路と、前記比較回路による比較の結果に基づき、前記バイナリ容量に対応するデジタル信号の各ビットの値を2分探索法により逐次的に判定し、前記デジタル信号の各ビットの値を前記参照信号に反映させる制御回路と、を備えることを特徴とする逐次比較型A/D変換装置に実行する設定方法であって、前記バイアス回路が印加する前記バイアス電圧の値を設定する第1の設定ステップと、前記補正用トランジスタに前記第1の設定ステップで設定した値の前記バイアス電圧を順次印加する印加ステップと、前記逐次比較型A/D変換装置にテスト信号を順次入力してA/D変換を実行させるA/D変換ステップと、前記A/D変換ステップで変換された出力コードを順次測定した測定結果に基づいて、前記出力コード毎の積分非直線誤差を算出する第1の算出ステップと、前記積分非直線誤差に基づいて、前記積分非直線誤差の最大値および最小値の各々を、前記出力コード毎に算出する第2の算出ステップと、前記第2の算出ステップにおいて算出された複数の前記最大値と前記最小値の絶対値の差分が小さく、かつ、前記最大値と前記最小値の絶対値の平均値が小さい前記バイアス電圧の値を前記バイアス回路が印加する前記バイアス電圧の値に設定する第2の設定ステップと、を含むことを特徴とする。

10

20

【発明の効果】

【0015】

本発明によれば、出力信号の線形成が劣化することを防止することができるという効果を奏する。

【図面の簡単な説明】

【0016】

【図1】図1は、本発明の実施の形態1に係る内視鏡システムの全体構成を模式的に示す概略図である。

30

【図2】図2は、本発明の実施の形態1に係る内視鏡システムの要部の機能を示すブロック図である。

【図3】図3は、図2に示す撮像素子の詳細な構成を示すブロック図である。

【図4】図4は、本発明の実施の形態1に係る撮像素子の構成を模式的に示す回路図である。

【図5】図5は、本発明の実施の形態1に係る基準電圧生成部の構成を示す回路図である。

【図6】図6は、本発明の実施の形態1に係る基準信号生成部の構成を模式的に示す回路図である。

【図7】図7は、本発明の実施の形態1に係る第1のA/D変換部の構成を模式的に示す回路図である。

40

【図8】図8は、本発明の実施の形態1に係る比較回路の入力容量と補正回路の補正用トランジスタの入力容量との電圧依存特性の関係を示す図である。

【図9】図9は、従来の逐次比較型のA/D変換装置が出力する出力信号のINL特性を示す図である。

【図10】図10は、本発明の実施の形態1に係る第1のA/D変換部が出力する出力信号のINL特性を示す図である。

【図11A】図11Aは、本発明の実施の形態1に係る撮像装置の動作を示すタイミングチャートである。

【図11B】図11Bは、図11Aの領域R1のタイミングチャートの一部を拡大した模

50

式図である。

【図 1 2】図 1 2 は、本発明の実施の形態 1 の変形例 1 に係る基準信号生成部の構成を模式的に示す回路図である。

【図 1 3】図 1 3 は、本発明の実施の形態 1 の変形例 2 に係る基準信号生成部の構成を模式的に示す回路図である。

【図 1 4】図 1 4 は、本発明の実施の形態 2 に係る撮像素子の構成を模式的に示す回路図である。

【図 1 5】図 1 5 は、本発明の実施の形態 2 に係る基準信号生成部の構成を模式的に示す回路図である。

【図 1 6 A】図 1 6 A は、本発明の実施の形態 2 に係る撮像装置の動作を示すタイミングチャートである。

【図 1 6 B】図 1 6 B は、図 1 6 A の領域 R 2 のタイミングチャートの一部を拡大した模式図である。

【図 1 7】図 1 7 は、本発明の実施の形態 3 に係る第 1 の A / D 変換部の構成を模式的に示す回路図である。

【図 1 8】図 1 8 は、本発明の実施の形態 3 に係る補正回路のバイアス電圧の調整方法を示すフローチャートである。

【図 1 9 A】図 1 9 A は、本発明の実施の形態 3 に係る補正回路のバイアス電圧 (1) を変化させたときの I N L 特性を模式的に示す図である。

【図 1 9 B】図 1 9 B は、本発明の実施の形態 3 に係る補正回路のバイアス電圧 (N) を変化させたときの I N L 特性を模式的に示す図である。

【図 1 9 C】図 1 9 C は、本発明の実施の形態 3 に係る補正回路のバイアス電圧 (n) を変化させたときの I N L 特性を模式的に示す図である。

【発明を実施するための形態】

【 0 0 1 7 】

以下、本発明を実施するための形態 (以下、「実施の形態」という) として、被検体内に挿入される挿入部の先端部に撮像装置を有する内視鏡を備えた内視鏡システムについて説明する。また、この実施の形態により、本発明が限定されるものではない。さらに、図面の記載において、同一の部分には同一の符号を付して説明する。さらにまた、図面は、模式的なものであり、各部材の厚みと幅との関係、各部材の比率等は、現実と異なることに留意する必要がある。また、図面の相互間において、互いの寸法や比率が異なる部分が含まれている。

【 0 0 1 8 】

(実施の形態 1)

〔内視鏡システムの構成〕

図 1 は、本発明の実施の形態 1 に係る内視鏡システムの全体構成を模式的に示す概略図である。図 1 に示す内視鏡システム 1 は、内視鏡 2 と、伝送ケーブル 3 と、コネクタ部 5 と、プロセッサ 6 と、表示装置 7 と、光源装置 8 と、を備える。

【 0 0 1 9 】

内視鏡 2 は、伝送ケーブル 3 の一部である挿入部 1 0 0 を被検体の体腔内に挿入することによって被検体の体内を撮像して撮像信号をプロセッサ 6 へ出力する。また、内視鏡 2 は、伝送ケーブル 3 の一端側であり、被検体の体腔内に挿入される挿入部 1 0 0 の先端部 1 0 1 側に、被検体の体内を撮像して撮像信号を生成する撮像装置 2 0 が設けられている。さらに、内視鏡 2 は、挿入部 1 0 0 の基端部 1 0 2 側に、内視鏡 2 に対する各種操作を受け付ける操作部 4 が設けられている。撮像装置 2 0 が撮像した体内画像の撮像信号は、例えば数 m の長さを有する伝送ケーブル 3 を介してコネクタ部 5 へ出力される。

【 0 0 2 0 】

伝送ケーブル 3 は、内視鏡 2 とコネクタ部 5 とを接続するとともに、内視鏡 2 とプロセッサ 6 および光源装置 8 とを接続する。また、伝送ケーブル 3 は、撮像装置 2 0 が生成した撮像信号をコネクタ部 5 へ伝送する。伝送ケーブル 3 は、ケーブルや光ファイバ等を用

10

20

30

40

50

いて構成される。

【0021】

コネクタ部5は、内視鏡2、プロセッサ6および光源装置8に接続され、接続された内視鏡2が出力する撮像信号に所定の信号処理を施してプロセッサ6へ出力する。

【0022】

プロセッサ6は、コネクタ部5から入力された撮像信号に所定の画像処理を施して表示装置7へ出力する。また、プロセッサ6は、内視鏡システム1全体を統括的に制御する。例えば、プロセッサ6は、光源装置8が出射する照明光を切り替えたり、内視鏡2の撮像モードを切り替えたりする制御を行う。

【0023】

表示装置7は、プロセッサ6が画像処理を施した撮像信号に対応する画像を表示する。また、表示装置7は、内視鏡システム1に関する各種情報を表示する。表示装置7は、液晶や有機EL(Electro Luminescence)等の表示パネル等を用いて構成される。

【0024】

光源装置8は、コネクタ部5および伝送ケーブル3を経由して内視鏡2の挿入部100の先端部101側から被検体(被写体)に向けて照明光を照射する。光源装置8は、白色光を発する白色LED(Light Emitting Diode)等を用いて構成される。なお、本実施の形態1では、光源装置8に同時方式の照明方式が採用されるが、面順次方式の照明方式であってもよい。

【0025】

〔内視鏡システムの要部〕

次に、内視鏡システム1の要部の機能について説明する。図2は、内視鏡システム1の要部の機能を示すブロック図である。

【0026】

〔内視鏡の構成〕

まず、内視鏡2の構成について説明する。

図2に示す内視鏡2は、撮像装置20と、伝送ケーブル3と、コネクタ部5と、を備える。撮像装置20は、撮像素子21(撮像チップ)と、撮像素子21に被写体像を結像する光学系22と、を備える。

【0027】

撮像素子21は、行列方向に二次元マトリクス状に配置されてなり、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の画素を有する受光部23と、受光部23によって光電変換された撮像信号を列毎に順次読み出す読み出し部24と、読み出し部24が順次読み出した撮像信号の電圧をインピーダンス変換してボルテージフォロウにより1倍に増幅して出力するバッファ部25と、受光部23によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成して出力する基準信号生成部26と、バッファ部25から出力された撮像信号および基準信号生成部26から生成された基準信号を同一タイミングでサンプリングし、デジタルの撮像信号に変換して外部へ出力するA/D変換装置27と、基準クロック信号および同期信号に基づきタイミング信号を生成するタイミング生成部28と、伝送ケーブル3を介してコネクタ部5から入力された基準クロック信号および同期信号の波形整形を行い、この波形整形を行った基準クロック信号および同期信号をタイミング生成部28へ出力するヒステリシス部29と、を有する。また、撮像素子21は、伝送ケーブル3を介して後述するプロセッサ6の電源部61において生成された電源電圧VDD(例えば3.3V)をグランドGNDとともに受け取る。撮像素子21に供給される電源電圧VDDとグランドGNDとの間には、電源安定用のコンデンサC1が設けられている。なお、撮像素子21の詳細な構成については、図3を参照して後述する。

【0028】

光学系22は、複数のレンズおよびプリズムを用いて構成され、撮像素子21の受光部23に被写体像を結像する。

10

20

30

40

50

【 0 0 2 9 】

コネクタ部 5 は、プロセッサ 6 から供給され、内視鏡 2 の各構成部の動作の基準となる基準クロック信号（例えば、27MHz のクロック信号）に基づいて、各フレームのスタート位置を表す同期信号（水平同期信号および垂直同期信号を含む）を生成して、基準クロック信号とともに、伝送ケーブル 3 を介して撮像装置 20 のタイミング生成部 28 へ出力するパルス生成部 51 と、FPGA（Field Programmable Gate Array）やASIC（Application Specific Integrated Circuit）等を用いて構成され、伝送ケーブル 3 を介して撮像装置 20 から出力されたデジタルの撮像信号に対して所定の信号処理、例えばノイズ低減処理を行ってプロセッサ 6 へ出力する信号処理部 52 と、レギュレータ（Regulator）等を用いて構成され、プロセッサ 6 から供給される電源から、撮像素子 21 を駆動するのに必要な電源電圧を生成して撮像素子 21 へ出力する電源電圧生成部 53 と、を有する。

10

【 0 0 3 0 】

〔プロセッサの構成〕

次に、プロセッサ 6 の構成について説明する。

プロセッサ 6 は、電源電圧を生成し、この生成した電源電圧 VDD をグランド GND とともに、コネクタ部 5 の電源電圧生成部 53 へ供給する電源部 61 と、内視鏡システム 1 の各構成部の動作の基準となる基準クロック信号を生成し、この基準クロック信号をコネクタ部 5 のパルス生成部 51 へ出力するクロック生成部 62 と、CPU（Central Processing Unit）等を用いて構成され、内視鏡システム 1 の全体を統括的に制御するプロセッサ制御部 63 と、内視鏡 2 から入力されたデジタルの撮像信号に対して、同時化処理、ホワイトバランス（WB）調整処理、ゲイン調整処理、ガンマ補正処理、デジタルアナログ（D/A）変換処理、フォーマット変換処理等の画像処理を行って画像信号に変換し、この画像信号を表示装置 7 へ出力する画像処理部 64 と、を備える。

20

【 0 0 3 1 】

〔撮像素子の構成〕

次に、上述した撮像素子 21 の詳細な構成について説明する。図 3 は、図 2 に示す撮像素子 21 の詳細な構成を示すブロック図である。

【 0 0 3 2 】

図 3 に示すように、撮像素子 21 は、受光部 23 と、読み出し部 24 と、バッファ部 25 と、基準信号生成部 26 と、A/D 変換装置 27 と、タイミング生成部 28 と、ヒステリシス部 29 と、を備える。

30

【 0 0 3 3 】

受光部 23 は、行列方向に 2 次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の画素を有する。なお、受光部 23 における画素の構成は、後述する図 4 において詳細に説明する。

【 0 0 3 4 】

読み出し部 24 は、後述する受光部 23 の複数の画素の各々から撮像信号を順次読み出してバッファ部 25 へ出力する。読み出し部 24 は、垂直走査部 241（行選択回路）と、定電流源 242 と、ノイズ除去部 243 と、列ソースフォロワバッファ 244 と、水平走査部 245 と、基準電圧生成部 246 と、を有する。

40

【 0 0 3 5 】

垂直走査部 241 は、タイミング生成部 28 から入力される駆動信号（T、R 等）に基づいて、受光部 23 の選択された行（水平ライン） $\langle M \rangle$ （ $M = 0, 1, 2 \dots, m - 1, m$ ）に駆動信号 $T \langle M \rangle$ および $R \langle M \rangle$ を印加して、受光部 23 の各画素 230 を定電流源 242 で駆動することによって、撮像信号および画素リセット時のノイズ信号を後述する垂直転送線 239（第 1 の転送線）へ転送し、ノイズ除去部 243 に出力する。

【 0 0 3 6 】

ノイズ除去部 243 は、後述する各画素 230 の出力ばらつきと、画素リセット時のノ

50

イズ信号とを除去し、後述する各画素 230 で光電変換された撮像信号を列ソースフォロワバッファ 244 へ出力する。

【0037】

列ソースフォロワバッファ 244 は、水平走査部 245 から入力される駆動信号に基づいて、ノイズ除去部 243 からノイズが除去された撮像信号を保持し、この保持した撮像信号を増幅してバッファ部 25 へ出力する。

【0038】

水平走査部 245 は、タイミング生成部 28 から入力される駆動信号 (HCLK) に基づいて、受光部 23 の選択された列 (縦ライン) < N > (N = 0 , 1 , 2 ... , n - 1 , n) に駆動信号 HCLK < N > を印加し、各画素 230 で光電変換された撮像信号を、
ノイズ除去部 243 および列ソースフォロワバッファ 244 を介して後述する水平転送線 257 に転送してバッファ部 25 へ出力する。

10

【0039】

基準電圧生成部 246 は、受光部 23 と同じ電源電圧 VDD からノイズ除去部 243 のクランプ電圧 VCLP を生成する。なお、基準電圧生成部 246 の回路の詳細は、後述する図 5 において説明する。

【0040】

バッファ部 25 は、列ソースフォロワバッファ 244 から順次出力された撮像信号の電圧に対してインピーダンス変換を行い、ボルテージフォロワにより 1 倍に増幅して A/D 変換装置 27 へ出力する。なお、バッファ部 25 の回路の詳細は、後述する図 4 において
説明する。

20

【0041】

基準信号生成部 26 は、受光部 23 によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成して A/D 変換装置 27 へ出力する。なお、基準信号生成部 26 の回路の詳細は、後述する図 6 において説明する。

【0042】

A/D 変換装置 27 は、バッファ部 25 から出力された撮像信号および基準信号生成部 26 から生成された基準信号を同一タイミングでサンプリングし、デジタルの撮像信号 (Vout) に変換して外部へ出力する。

【0043】

タイミング生成部 28 は、ヒステリシス部 29 から入力された基準クロック信号および同期信号に基づいて、各種の駆動信号を生成し、後述する読み出し部 24、バッファ部 25、基準信号生成部 26 および A/D 変換装置 27 へ出力する。

30

【0044】

ヒステリシス部 29 は、伝送ケーブル 3 を介して入力された基準クロック信号および同期信号の波形整形を行い、この波形整形を行った基準クロック信号および同期信号をタイミング生成部 28 へ出力する。

【0045】

〔撮像素子の回路の構成〕

次に、上述した撮像素子 21 の回路について詳細に説明する。図 4 は、撮像素子 21 の構成を模式的に示す回路図である。

40

【0046】

〔画素の構成〕

まず、画素 230 の構成について説明する。

図 4 に示すように、上述した受光部 23 には、多数の画素 230 が二次元マトリクス状に配列されてなる。各画素 230 は、光電変換素子 231 (フォトダイオード) と、電荷変換部 233 と、転送トランジスタ 234 (第 1 の転送部) と、画素リセット部 236 (トランジスタ) と、画素ソースフォロワトランジスタ 237 と、を含む。

【0047】

光電変換素子 231 は、入射光をその光量に応じた信号電荷量に光電変換して蓄積する

50

。光電変換素子 231 は、カソード側がそれぞれ転送トランジスタ 234 の一端側に接続され、アノード側がグランド GND に接続される。

【0048】

電荷変換部 233 は、浮遊拡散容量 (FD) からなり、光電変換素子 231 で蓄積された電荷を電圧に変換する。

【0049】

転送トランジスタ 234 は、光電変換素子 231 から電荷変換部 233 に電荷を転送する。転送トランジスタ 234 のゲートには、駆動信号 (行選択パルス) R および駆動信号 T が供給される信号線が接続され、他端側には、電荷変換部 233 が接続される。転送トランジスタ 234 は、垂直走査部 241 から信号線を介して駆動信号 R および駆動信号 T が供給されると、オン状態となり、光電変換素子 231 から電荷変換部 233 に電荷を転送する。

10

【0050】

画素リセット部 236 は、電荷変換部 233 を所定電位にリセットする。画素リセット部 236 は、一端側が電源電圧 VDD に接続され、他端側が電荷変換部 233 に接続され、ゲートには駆動信号 R が供給される信号線に接続される。画素リセット部 236 は、垂直走査部 241 から信号線を介して駆動信号 R が供給されると、オン状態となり、電荷変換部 233 に蓄積された信号電荷を放出させ、電荷変換部 233 を所定電位にリセットする。

【0051】

20

画素ソースフォロワトランジスタ 237 は、一端側が電源電圧 VDD (例えば 3.3V) に接続され、他端側が垂直転送線 239 に接続され、ゲートには電荷変換部 233 で電圧変換された信号 (撮像信号またはリセット時の信号) が入力される。画素ソースフォロワトランジスタ 237 は、後述する選択動作の後に、転送トランジスタ 234 のゲートに駆動信号 T が供給されると、光電変換素子 231 から電荷が読み出され、電荷変換部 233 にて電圧変換された後に、垂直転送線 239 に転送される。

【0052】

定電流源 242 は、一端側が垂直転送線 239 に接続され、他端側がグランド GND に接続され、ゲートにはバイアス電圧 Vbias1 が印加される。定電流源 242 は、画素 230 を駆動し、画素 230 の出力を垂直転送線 239 へ出力させる。垂直転送線 239 へ出力された信号は、ノイズ除去部 243 に入力される。

30

【0053】

〔ノイズ除去部の構成〕

次に、ノイズ除去部 243 の構成について説明する。

図 4 に示すノイズ除去部 243 は、各画素 230 の列毎に設けられる。具体的には、ノイズ除去部 243 は、垂直転送線 239 毎に設けられる。ノイズ除去部 243 は、転送容量 252 (AC 結合コンデンサ) と、クランプスイッチ 253 (トランジスタ) と、を有する。なお、本実施の形態 1 では、ノイズ除去部 243 がクランプ回路として機能する。

【0054】

転送容量 252 は、一端側が垂直転送線 239 に接続され、他端側が後述する列ソースフォロワバッファ 244 の列ソースフォロワトランジスタ 254 に接続される。

40

【0055】

クランプスイッチ 253 は、一端側が基準電圧生成部 246 からクランプ電圧 VCLP が供給される信号線が接続され、他端側が転送容量 252 と列ソースフォロワバッファ 244 との間に接続され、ゲートにタイミング生成部 28 から駆動信号 VCL が入力される。ノイズ除去部 243 に入力される撮像信号は、ノイズ成分を含んだ光ノイズ和信号である。

【0056】

このように構成されたノイズ除去部 243 は、タイミング生成部 28 から駆動信号 VCL がクランプスイッチ 253 のゲートに入力されると、クランプスイッチ 253 がオン

50

状態となり、基準電圧生成部 246 から供給されるクランプ電圧 V_{CLP} により転送容量 252 がリセットされる。ノイズ除去部 243 でノイズ除去された撮像信号は、列ソースフォロワバッファ 244 のゲートに入力される。ノイズ除去部 243 は、サンプリング用のコンデンサ（サンプリング容量）を必要としないため、転送容量 252（AC 結合コンデンサ）の容量が列ソースフォロワバッファ 244 の入力容量に十分な容量であればよい。さらに、ノイズ除去部 243 は、サンプリング容量の無い分、撮像素子 21 における専有面積を小さくすることができる。

【0057】

〔列ソースフォロワバッファの構成〕

次に、列ソースフォロワバッファ 244 の構成について説明する。

図 4 に示す列ソースフォロワバッファ 244 は、各画素 230 の列毎に設けられる。具体的には、列ソースフォロワバッファ 244 は、垂直転送線 239 毎に設けられる。列ソースフォロワバッファ 244 は、列ソースフォロワトランジスタ 254 と、列選択スイッチ 255 と、を有する。なお、本実施の形態 1 では、列ソースフォロワバッファ 244 が列側回路として機能する。

【0058】

列ソースフォロワトランジスタ 254 は、一端側が電源電圧 V_{SS} （以下、「グランド GND」という）に接続され、他端側が列選択スイッチ 255 の一端側に接続され、ゲートにはノイズ除去部 243 でノイズ除去された撮像信号が入力される。

【0059】

列選択スイッチ 255 は、一端側が列ソースフォロワトランジスタ 254 の他端側に接続され、他端側が水平転送線 257 に接続される。列選択スイッチ 255 は、トランジスタを用いて構成され、ゲートに水平走査部 245 から駆動信号 $HCLK < M >$ を供給するための信号線が接続される。列選択スイッチ 255 は、水平走査部 245 から駆動信号 $HCLK < M >$ が供給されると、オン状態となり、ノイズ除去部 243 でノイズ除去された撮像信号を水平転送線 257 へ転送する。なお、水平転送線 257 には、図示しない水平リセットトランジスタが接続され、水平リセットトランジスタにタイミング生成部 28 から駆動信号が入力されることによって、水平リセットトランジスタがオン状態となり、水平転送線 257 をリセットする。

【0060】

このように構成された列ソースフォロワバッファ 244 は、タイミング生成部 28 から駆動信号 $HCLK < M >$ が列選択スイッチ 255 に印加されると、列選択スイッチ 255 がオン状態となり、水平転送線 257 を介してノイズ除去部 243 でノイズ除去された撮像信号がバッファ部 25 に順次入力される。

【0061】

〔バッファ部の構成〕

次に、バッファ部 25 の構成について説明する。

図 4 に示すバッファ部 25 は、水平走査部 245 によって順次選択された列ソースフォロワバッファ 244 が接続されることによって、ボルテージフォロワ回路を形成し、入力される撮像信号の電圧に対してインピーダンス変換を行って A/D 変換装置 27 へ出力する。具体的には、バッファ部 25 は、水平走査部 245 によって順次選択された列ソースフォロワバッファ 244 が接続されることによって、入力される撮像信号をボルテージフォロワにより 1 倍に増幅して A/D 変換装置 27 へ出力する。バッファ部 25 は、画素 230 の奇数列および偶数列それぞれに設けられた第 1 のグローバル側回路 260 および第 2 のグローバル側回路 270 を有する。なお、第 1 のグローバル側回路 260 および第 2 のグローバル側回路 270 は、インピーダンス変換部として機能する。

【0062】

第 1 のグローバル側回路 260 は、定電流源 256 と、スイッチ 261 と、第 1 のトランジスタ 262 と、第 2 のトランジスタ 263 と、第 3 のトランジスタ 264 と、定電流源 265 と、を有する。

10

20

30

40

50

【0063】

定電流源256は、一端側が水平転送線257に接続され、他端側が電源電圧VDDに接続される。定電流源256は、撮像信号を水平転送線257へ読み出す。水平転送線257へ読み出された撮像信号は、後述するスイッチ261を介して第1のトランジスタ262のソース側に入力される。なお、本実施の形態1では、定電流源256が第1の定電流源として機能する。

【0064】

スイッチ261は、一端側が水平転送線257を介して列ソースフォロワバッファ244の列選択スイッチ255に接続され、他端側が第1のトランジスタ262のソース側に接続される。スイッチ261は、列ソースフォロワバッファ244の列選択スイッチ255と同様の抵抗値を有し、例えばトランジスタを用いて構成される。スイッチ261は、常にオン状態で設けられ、水平転送線257と第1のトランジスタ262とを接続する。

10

【0065】

第1のトランジスタ262は、一端側（ソース側）がスイッチ261および水平転送線257を介して列ソースフォロワバッファ244の列選択スイッチ255に接続され、他端側（ドレイン側）が第2のトランジスタ263の一端側（ドレイン側）に接続され、ゲートがA/D変換装置27に接続される。第1のトランジスタ262は、PMOSを用いて構成される。

【0066】

第2のトランジスタ263は、一端側（ドレイン側）に第1のトランジスタ262の他端側（ドレイン側）および第1のトランジスタ262のゲートが接続され、他端側（ソース側）がグランドGNDに接続され、ゲートが定電流源265に接続される。第2のトランジスタ263は、NMOSを用いて構成される。

20

【0067】

第3のトランジスタ264は、一端側（ドレイン側）が定電流源265（第2の定電流源）に接続され、他端側（ソース側）がグランドGNDに接続され、ゲートが定電流源265に接続される。

【0068】

このように構成された第1のグローバル側回路260は、水平走査部245によって順次選択された奇数列の列ソースフォロワバッファ244（列側回路）が接続されることによって、ボルテージフォロワ回路となり、列ソースフォロワバッファ244から入力される撮像信号（Vin）の電圧に対してインピーダンス変換を行い、ボルテージフォロワにより1倍に増幅して撮像信号（Vout）をA/D変換装置27へ出力する。

30

【0069】

第2のグローバル側回路270は、上述した第1のグローバル側回路260と同一の構成を有し、定電流源256と、スイッチ261と、第1のトランジスタ262と、第2のトランジスタ263と、第3のトランジスタ264と、定電流源265と、を有する。

【0070】

このように構成された第2のグローバル側回路270は、水平走査部245によって順次選択された偶数列の列ソースフォロワバッファ244（列側回路）が接続されることによって、ボルテージフォロワ回路を形成し、入力される撮像信号（Vin）の電圧に対してインピーダンス変換を行い、ボルテージフォロワにより1倍に増幅した撮像信号（Vout）をA/D変換装置27へ出力する。

40

【0071】

基準信号生成部26は、画素230によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成してA/D変換装置27へ出力する。なお、基準信号生成部26の回路の詳細は、後述する図6において説明する。

【0072】

A/D変換装置27は、受光部23における奇数列および偶数列の各々に設けられ、奇数列の画素230から出力されたアナログの撮像信号をデジタルの撮像信号に変換して外

50

部へ出力する第1のA/D変換部280、および偶数列の画素230から出力されたアナログの撮像信号をデジタルの撮像信号に変換して外部へ出力する第2のA/D変換部290と、を有する。なお、第1のA/D変換部280および第2のA/D変換部290の回路の詳細は、後述する図7において説明する。

【0073】

〔基準電圧生成部の構成〕

次に、上述した図3において説明した基準電圧生成部246の構成について説明する。図5は、基準電圧生成部246の構成を示す回路図である。

【0074】

図5に示す基準電圧生成部246（定電圧信号生成部）は、2つの抵抗291aおよび291bからなり、一端がVDD_A/D（例えば3.3V）に接続され、他端がグラウンドGNDに接続された抵抗分圧回路291と、タイミング生成部28から印加される駆動信号VSHで駆動されるスイッチ292（トランジスタ）と、電源から独立させて、揺らぎから開放させるためのサンプリング容量293（コンデンサ）と、を含む。

10

【0075】

このように構成された基準電圧生成部246は、スイッチ292の駆動により駆動信号VSHが駆動するタイミングで、ノイズ除去部243のクランプ電圧VCLPを生成してノイズ除去部243へ出力する。

【0076】

〔基準信号生成部の構成〕

次に、上述した図3および図4において説明した基準信号生成部26の詳細な構成について説明する。図6は、基準信号生成部26の構成を模式的に示す回路図である。

20

【0077】

図6に示す基準信号生成部26は、2つの抵抗301aおよび抵抗301bからなる抵抗分割回路301と、タイミング生成部28から印加される駆動信号で駆動するスイッチ302（トランジスタ）と、電源から独立させて、揺らぎから開放させるためのサンプリング容量303（コンデンサ）と、画素相当回路304と、ノイズ除去相当回路305と、列相当回路306と、バッファ相当回路307と、を有する。

【0078】

画素相当回路304は、画素230の画素ソースフォロワトランジスタ237および定電流源242の各々と相当な回路を形成し、画素ソースフォロワトランジスタ237aと、画素ソースフォロワトランジスタ237aを駆動する定電流源242aと、を有する。

30

【0079】

画素ソースフォロワトランジスタ237aは、一端側（ドレイン側）が電源電圧VDDに接続され、他端側（ソース側）が定電流源242aに接続され、ゲートにはサンプリング容量303から転送された信号が転送される信号線が接続される。

【0080】

定電流源242aは、一端側が画素ソースフォロワトランジスタ237aに接続され、他端側がグラウンドGNDに接続される。定電流源242aは、画素ソースフォロワトランジスタ237aを駆動し、画素ソースフォロワトランジスタ237aの出力をノイズ除去相当回路305へ出力させる。

40

【0081】

ノイズ除去相当回路305は、上述したノイズ除去部243と相当な回路を形成し、転送容量252（AC結合コンデンサ）と、クランプスイッチ253と、を有する。ノイズ除去相当回路305は、上述したノイズ除去部243と相当な回路のため、詳細な説明は省略する。

【0082】

列相当回路306は、上述した列ソースフォロワバッファ244と相当な回路を形成し、列ソースフォロワトランジスタ254と、列選択スイッチ255と、を有する。列相当回路306は、上述した列ソースフォロワバッファ244と相当な回路のため、詳細な説

50

明は省略する。

【0083】

バッファ相当回路307は、上述した第1のグローバル側回路260と相当な回路を形成し、定電流源256と、スイッチ261と、第1のトランジスタ262と、第2のトランジスタ263と、第3のトランジスタ264と、定電流源265と、を有する。バッファ相当回路307は、上述した第1のグローバル側回路260と相当な回路のため、詳細な説明は省略する。

【0084】

このように構成された基準信号生成部26は、画素230によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号(VREF)を生成してA/D変換装置27へ出力する。

10

【0085】

〔第1のA/D変換部の構成〕

次に、第1のA/D変換部280の構成について説明する。図7は、第1のA/D変換部280の構成を模式的に説明する回路図である。なお、第1のA/D変換部280および第2のA/D変換部290は、同じ回路構成のため、以下においては、第1のA/D変換部280の構成のみ説明し、第2のA/D変換部290の構成の説明は省略する。また、図7に示す第1のA/D変換部280は、逐次比較型のA/D変換装置であり、9ビット(bit)出力のA/D変換装置であるが、これに限定されず、出力ビット数を適宜変更することができる。なお、第1のA/D変換部280は、逐次比較型のA/D変換装置である必要はなく、省電力可能なA/D変換装置であればよく、例えばナイキスト型のA/D変換装置であってもよい。

20

【0086】

図7に示す第1のA/D変換部280は、サンプリング回路401と、容量性DAC回路402と、比較回路403と、補正回路404と、制御回路405と、を備える。

【0087】

サンプリング回路401は、差動入力信号を構成する1対の撮像信号(Vsignal)および基準信号(VREF)に対して、タイミング生成部28から入力されるクロック信号CLKに基づいて、同一のタイミングでトラック・ホールド(Track and Hold)を行い、アナログの撮像信号および基準信号をサンプリングする。サンプリング回路401は、スイッチ401aと、スイッチ401bと、を有する。

30

【0088】

スイッチ401aは、オン状態であるとき、上述した第1のグローバル側回路260と容量性DAC回路402との間を導通させ、オフ状態であるとき、第1のグローバル側回路260と容量性DAC回路402との間を高インピーダンス状態とする。スイッチ401aは、非反転入力端子INPを介してアナログの撮像信号が入力される。スイッチ401aは、オン状態からオフ状態に切り替わるタイミングに後述する容量部402aPにアナログの撮像信号をホールドしてサンプリングする。スイッチ401aは、タイミング生成部28から入力されるクロック信号CLKに基づいて、オン状態とオフ状態とが切り替わる。

40

【0089】

スイッチ401bは、オン状態であるとき、上述した基準信号生成部26と容量性DAC回路402との間を導通させ、オフ状態であるとき、基準信号生成部26と容量性DAC回路402との間を高インピーダンス状態とする。スイッチ401bは、反転入力端子INNを介してアナログの基準信号が入力される。スイッチ401bは、オン状態からオフ状態に切り替わるタイミングに後述する容量部402aNにアナログの基準信号をホールドしてサンプリングする。スイッチ401bは、タイミング生成部28から入力されるクロック信号CLKに基づいて、オン状態とオフ状態とが切り替わる。

【0090】

容量性DAC回路402は、制御回路405によって生成されたデジタル信号(DN0

50

～DN8，DP0～DP8）に基づくアナログ信号を生成し、サンプリング回路401によりホールドされ、サンプリングされた撮像信号および基準信号の各々から参照信号（基準信号VREFと異なる別の基準信号）を減算することによって、差動入力信号と9ビットのデジタル信号D0～D8との間の累積残差を取得する。容量性DAC回路402は、撮像信号および基準信号の各々から参照信号を減算した減算結果を、累積残差が反映されたアナログの撮像信号（INP）および基準信号（INN）として、比較回路403へ出力する。容量性DAC回路402は、容量部402aNと、駆動部402bNと、容量部402aPと、駆動部402bPと、を有する。

【0091】

容量部402aPは、減衰容量ChPとバイナリ容量C0P～C8Pと、を有する。減衰容量ChPは、スイッチ401aに接続された配線に相当する信号ノードNPとグランドGNDとの間に接続される。また、バイナリ容量C0P～C8Pの各々は、信号ノードNPと駆動部402bPの出力部との間に接続される。即ち、バイナリ容量C0P～C8Pの各々は、一方の電極が信号ノードNPに共通接続され、他方の電極が後述する駆動部402bPを構成するインバータQ0P～Q8Pの出力部に個別に接続される。バイナリ容量C0P～C8Pは、制御回路405によって生成されるデジタル信号DP0～DP8に対応して配置されている。バイナリ容量C0P～C8Pの各々の容量値は異なる。例えば、デジタル信号DP(n+1)に対応する容量C(n+1)Pの容量値は、デジタル信号DPnに対応する容量CnPの容量値の2倍である（nは、0から7までの整数）。即ち、バイナリ容量C0P～C8Pの各々の容量値は、デジタル信号DP0～DP8の各ビットの位に応じた2進数で重み付けされている。

【0092】

容量部402aNは、容量部402aPと同様に、減衰容量ChNとバイナリ容量C0N～C8Nと、を有する。減衰容量ChNは、スイッチ401bに接続された配線に相当する信号ノードNNとグランドGNDとの間に接続される。また、バイナリ容量C0N～C8Nの各々は、信号ノードNNと駆動部402bNの出力部との間に接続される。即ち、バイナリ容量C0N～C8Nの各々は、一方の電極が信号ノードNNに共通接続され、他方の電極が後述する駆動部402bNを構成するインバータQ0N～Q8Nの出力部に個別に接続される。バイナリ容量C0N～C8Nは、制御回路405によって生成されるデジタル信号DN0～DN8に対応して配置されている。なお、バイナリ容量C0N～C8Nの容量値についても、バイナリ容量C0P～C8Pと同様に2進数で重み付けされている。また、容量部402aNを構成するバイナリ容量C0N～C8Nの各容量値の各々は、容量部402aPを構成するバイナリ容量C0P～C8Pの各々の容量値と同じに設定されている。

【0093】

駆動部402bPは、インバータQ0P～Q8Pを有する。インバータQ0P～Q8Pには、電源電圧VDD_A/Dが供給される。このことは、インバータQ0P～Q8Pの各々から出力されるアナログ信号の振幅が電源電圧VDD_A/Dに等しいことを意味する。インバータQ0P～Q8Pは、制御回路405によって生成されるデジタル信号DP0～DP8に対応して配置されている。インバータQ0P～Q8Pの各々には、制御回路405から、デジタル信号DP0～DP8の各ビットが入力される。また、インバータQ0P～Q8Pの出力部の各々は、バイナリ容量C0P～C8Pの他方の電極に接続される。

【0094】

インバータQ0P～Q8Pは、制御回路405から入力されるデジタル信号DP0～DP8を反転することによって参照信号を生成する。容量部402aPが有する複数のバイナリ容量C0P～C8Pは、電荷再配分により、減衰容量ChPに保持されているアナログの撮像信号Vsignalに基づく電荷から、参照信号に基づく電荷を引き抜くことによって、撮像信号Vsignalから参照信号を減算する。容量部402aPは、減算結果であるアナログ信号VCPを比較回路403へ出力する。

10

20

30

40

50

【 0 0 9 5 】

駆動部 4 0 2 b N は、インバータ Q 0 N ~ Q 8 N を備えている。インバータ Q 0 N ~ Q 8 N には、電源電圧 V D D _ A / D が供給される。このことは、インバータ Q 0 N ~ Q 8 N の各々から出力される基準信号の振幅が電源電圧 V D D _ A / D に等しいことを意味する。インバータ Q 0 N ~ Q 8 N は、制御回路 4 0 5 によって生成されるデジタル信号 D N 0 ~ D N 8 に対応して配置されている。インバータ Q 0 N ~ Q 8 N の各々には、制御回路 4 0 5 から、デジタル信号 D N 0 ~ D N 8 の各ビットが入力される。また、インバータ Q 0 N ~ Q 8 N の出力部の各々は、バイナリ容量 C 0 N ~ C 8 N の他方の電極に接続される。

【 0 0 9 6 】

インバータ Q 0 N ~ Q 8 N は、制御回路 4 0 5 から入力されるデジタル信号 D N 0 ~ D N 8 を反転することによって参照信号を生成する。容量部 4 0 2 a N が有する複数のバイナリ容量 C 0 N ~ C 8 N は、電荷再配分により、減衰容量 C h N に保持されているアナログの基準信号 V R E F に基づく電荷から、参照信号に基づく電荷を引き抜くことによって、アナログの基準信号 V R E F から参照信号を減算する。容量部 4 0 2 a N は、減算結果であるアナログ信号 V C N を出力する。

【 0 0 9 7 】

比較回路 4 0 3 (コンパレータ) は、容量性 D A C 回路 4 0 2 から入力されるアナログの撮像信号とアナログの基準信号とを比較し、その大小関係に応じた比較結果を示すデジタル信号 V O P およびデジタル信号 V O N を出力する。具体的には、比較回路 4 0 3 は、アナログの撮像信号の信号レベルがアナログの基準信号の信号レベルよりも高い場合、デジタル信号 V O P としてハイレベルの信号を出力し、デジタル信号 V O N としてローレベルの信号を出力する。逆に、比較回路 4 0 3 は、アナログの撮像信号の信号レベルがアナログの基準信号の信号レベルよりも低い場合、デジタル信号 V O P としてローレベルの信号を出力し、デジタル信号 V O N としてハイレベルの信号を出力する。比較回路 4 0 3 は、後述する制御回路 4 0 5 によって生成される内部クロック信号 B I T _ C L K および反転内部クロック信号 B I T _ C L K b に基づいて制御される。

【 0 0 9 8 】

補正回路 4 0 4 は、比較回路 4 0 3 の前段側に設けられ、比較回路 4 0 3 の入力トランジスタにおける寄生容量を相殺した一対の電圧信号を比較回路 4 0 3 へ出力する。具体的には、補正回路 4 0 4 は、比較回路 4 0 3 の入力トランジスタの寄生容量 (ゲート容量) を相殺することによって、比較回路 4 0 3 に入力される一対のアナログの信号電圧を補正して比較回路 4 0 3 へ出力する。補正回路 4 0 4 は、比較回路 4 0 3 の入力トランジスタの寄生容量を相殺する補正用トランジスタ 4 0 4 a と、補正用トランジスタ 4 0 4 a にバイアス電圧 V B を印加するバイアス回路 4 0 4 b と、を有する。補正用トランジスタ 4 0 4 a のゲート端子は、比較回路 4 0 3 の入力端子に、補正用トランジスタ 4 0 4 a のドレイン端子とソース端子は互いに接続されてバイアス回路 4 0 4 b に接続されている。補正用トランジスタ 4 0 4 a は、ゲート端子と共通接続されたドレイン・ソース端子間とで M O S 容量を構成する。補正用トランジスタ 4 0 4 a の容量の電圧依存性は、比較回路 4 0 3 の入力トランジスタの電圧依存と逆特性を有する。なお、補正用トランジスタ 4 0 4 a の電圧依存性については後述する。

【 0 0 9 9 】

制御回路 4 0 5 は、S A R (Successive Approximation Register) ロジック回路として機能し、2 分探索アルゴリズムに従って、比較回路 4 0 3 による比較結果を示すデジタル信号 V O P およびデジタル信号 V O N に対応するデジタル信号 D P 0 ~ D P 8、およびデジタル信号 D N 0 ~ D N 8 の各ビットの値を逐次判定する。制御回路 4 0 5 は、デジタル信号 V O P およびデジタル信号 V O N に対応するデジタル信号 D P 0 ~ D P 8 およびデジタル信号 D N 0 ~ D N 8 を容量性 D A C 回路 4 0 2 に供給する。このうち、制御回路 4 0 5 は、デジタル信号 D P 0 ~ D P 8 を、A / D 変換結果を表すデジタル信号 D 0 ~ D 8 として出力する (V o u t)。また、制御回路 4 0 5 は、比較回路 4 0 3 を制御する内

10

20

30

40

50

部クロック信号BIT_CLKおよび反転内部クロック信号BIT_CLKbを生成し、比較回路403へ供給する。制御回路405は、タイミング生成部28によって生成されたクロック信号CLKに基づいて制御される。制御回路405は、クロック信号CLKがハイレベルの期間において、内部クロック信号BIT_CLKおよび反転内部クロック信号BIT_CLKbを発生させる。

【0100】

このように構成された第1のA/D変換部280は、デジタル信号D0~D8の最上位ビット(D8)から最下位ビット(D0)に向かって、1ビットずつ順にA/D変換結果を取得する。このA/D変換の過程で、比較回路403は、容量性DAC回路402によって上述した減算が行われる都度、それまでの累積残差が反映されたアナログの撮像信号(INP)の信号レベル(電圧)とアナログの基準信号(INN)の信号レベル(電圧)とを比較する。

10

【0101】

また、第1のA/D変換部280の差動入力レンジは、下記の式(1)となる。

【数1】

$$V_{fs,pp} = 2 \frac{Cdac}{Cdac + Ch + Cst1 + Cst2 + Cst3} VDD_{A/D} \quad \dots(1)$$

ここで、Cst1は、メタル配線間(ノード配線)に生じる寄生容量を示し、Cst2は、比較回路403の入力容量を示し、Cst3は、補正用トランジスタ404aにより生成されるMOS容量を示し、Chは、容量性DAC回路402の減衰容量を示す。

20

【0102】

上述した式(1)において、Cdac = Ch + Cst1 + Cst2 + Cst3となるようにChを設定するとゲイン係数が1となり、フルスケールレンジを確保することができる。このため、本実施の形態1では、補正用トランジスタ404aの容量は、MOS容量の値が比較回路403の入力容量と逆特性のバイアス電圧の依存性を示すように設定する。

【0103】

[補正用トランジスタの特性]

次に、補正用トランジスタ404aの容量と比較回路403の容量の電圧依存特性について説明する。図8は、比較回路403の入力容量と補正回路404の補正用トランジスタ404aの入力容量との電圧依存特性の関係を示す図である。図8において、横軸が比較回路403の入力電圧(V)を示し、縦軸が容量を示す。また、図8において、曲線L1が比較回路403の電圧依存特性を示し、曲線L2が補正用トランジスタ404aの電圧依存特性を示し、曲線L3が補正用トランジスタ404aの容量(VBパラメータ)と比較回路403の入力容量との合成容量における電圧依存特性を示す。

30

【0104】

図8に示すように、補正用トランジスタ404aは、容量が比較回路403の入力容量と逆特性のバイアス電圧依存性を有するように設定する。具体的には、ユーザは、補正用トランジスタ404aのバイアス電圧VBを適切に設定することにより、補正用トランジスタ404aの容量と比較回路403の入力容量との合成容量を略フラットとなるように設定する。より具体的には、曲線L2に示すように、ユーザは、補正用トランジスタ404aのバイアス電圧VBを適切に設定することにより、比較回路403の入力容量と逆特性のバイアス電圧依存性を持たせることで、曲線L3に示すように補正用トランジスタ404aのMOS容量と比較回路403の入力容量との合成容量を略フラットとなるように設定することができる。

40

【0105】

図9は、従来の逐次比較型のA/D変換装置が出力する出力信号のINL(Integral Non-Linearity: 積分非直線性誤差)特性を示す。図10は、第1のA/D変換部280が出力する出力信号のINL特性を示す。図9および図10において、横軸がcodeを

50

示し、縦軸が $INL [a.u.]$ を示す。また、図 9 の曲線 L 3 1 が従来の逐次比較型の A/D 変換装置が出力する出力信号の INL 特性を示し、図 10 の曲線 L 3 2 が第 1 の A/D 変換部 280 が出力する出力信号の INL 特性を示す。

【0106】

図 10 の曲線 L 3 2 に示すように、第 1 の A/D 変換部 280 は、出力信号が略フラットなものとなり、ゲインが A/D 変換の最中に変動することを防止することができるので、出力信号の線形性を維持することができる。

【0107】

〔撮像装置の動作〕

次に、撮像装置 20 の動作について説明する。図 11 A は、撮像装置 20 の動作を示すタイミングチャートである。図 11 B は、図 11 A の領域 R 1 のタイミングチャートの一部を拡大した模式図である。図 11 A においては、受光部 23 の行 n の画素 230 から撮像信号を読み出し、A/D 変換装置 27 からデジタルの撮像信号が出力されるまでを説明する。また、図 11 A に示すタイミングチャートでは説明の便宜上、画素 230 に 1 つの光電変換素子 231 のみが含まれるものとしている。画素 230 に複数の光電変換素子 231 が含まれる場合（画素共有の場合）には、このタイミングチャートに示す 1 映像信号ライン分の動作を画素 230 に含まれる光電変換素子 231 の数分だけ繰り返し行う。また、図 11 A において、最上段から順に、駆動信号 R、駆動信号 T、駆動信号 VCL、駆動信号 SW 21 ~ SW 2n、転送容量 252 の電圧 VIN 1 ~ VIN n、バッファ部 25 の出力電圧 Vout、A/D 変換装置 27 の変換タイミング、基準クロック CLK、A/D 変換装置 27 の変換結果の出力タイミングおよび基準信号 VREF を示す。また、図 11 B において、最上段から順に、基準信号 VREF、バッファ部 25 の出力電圧 Vout、基準クロック CLK、A/D 変換装置 27 の動作モードおよびバッファ部 25 の出力電圧 Vout から基準信号 VREF の差分 ($Vout - VREF$) を示す。

【0108】

図 11 A および図 11 B に示すように、まず、タイミング生成部 28 は、クランプスイッチ 253 をオン（駆動信号 VCL が High）し、画素リセット部 236 をオン（パルス状の駆動信号 $R < 0 >$ が High）、転送トランジスタ 234 をオフ（パルス状の駆動信号 $T < 0 >$ が Low）することにより（時間 T1）、読み出し対象の画素 230 特有のばらつきと、画素リセット時のノイズ等を含むノイズ信号を画素 230 から垂直転送線 239 に出力する。このとき、クランプスイッチ 253 をオン（駆動信号 VCL が High）状態にしたままにすることにより、列ソースフォロワバッファ 244 のゲートがクランプ電圧 VCLP の電圧となり、転送容量 252 に VRS T - VCLP を充電する。

【0109】

次に、タイミング生成部 28 は、クランプスイッチ 253 をオフ（駆動信号 VCL が Low）にした状態で、転送トランジスタ 234 をオン（パルス状の駆動信号 $T < 0 >$ が High）することにより、電荷変換部 233 が光電変換素子 231 によって光電変換された信号を垂直転送線 239 に読み出す（時間 T2）。この状態で、電荷変換部 233 によって電圧変換された撮像信号 VSI G は、垂直転送線 239 に転送される。この動作により、転送容量 252 に、 $VCLP - (VRS T 1 - VSI G 1)$ を充電する。これにより、転送容量 252 を介して、ノイズ信号が差し引かれた撮像信号（光信号）が、列ソースフォロワバッファ 244 のゲートに出力される。ここで、列ソースフォロワバッファ 244 のゲートに出力される信号は、クランプ電圧 VCLP を基準としてサンプリングされた信号である。

【0110】

続いて、タイミング生成部 28 は、列選択スイッチ 255 をオン（駆動信号 SW 21 が High）することにより（時間 T3）、転送容量 252 に充電された撮像信号 Vout ($VCLP - (VRS T 1 - VSI G 1)$) が列ソースフォロワバッファ 244 および第 1 のグローバル側回路 260 を介して A/D 変換装置 27 へ出力される。

【0111】

その後、タイミング生成部28は、列選択スイッチ255を切り替えてオンオフ（駆動信号SW21がLow、駆動信号SW22がHigh）することにより（時間T4）、転送容量252に充電された撮像信号Vout（VCLP-（VRS T2-VSIG2））が列ソースフォロワバッファ244および第1のグローバル側回路260を介してA/D変換装置27へ出力される。このとき、A/D変換装置27は、基準信号生成部26から出力された基準信号VREFに基づいて、転送容量252から出力された撮像信号Voutに対してA/D変換を行ってデジタルの撮像信号D1を外部へ出力する。

【0112】

続いて、タイミング生成部28は、列選択スイッチ255を順次切り替えてオンオフ（駆動信号SW22～SW2n）することにより（時間TN）、転送容量252に充電された撮像信号Vout（VCLP-（VRS Tn-VSIGn））が列ソースフォロワバッファ244および第1のグローバル側回路260を介してA/D変換装置27へ順次出力される。このとき、A/D変換装置27は、基準信号生成部26から出力された基準信号VREFに基づいて、転送容量252から順次出力された撮像信号Voutに対してA/D変換を行ってデジタルの撮像信号D2～DNを外部へ順次出力する。

10

【0113】

このような動作を、撮像装置20は、受光部23の列数分（または読み出しが必要な行数分）繰り返すことにより、撮像信号の同相の揺らぎ成分がキャンセルされたデジタルの撮像信号を外部へ出力する。さらに、撮像装置20は、1ライン分の読み出し動作を画素行数分（または読み出しが必要な行数分）繰り返すことにより、1フレーム分のデジタルの撮像信号を外部へ出力する。

20

【0114】

また、図11Bに示すように、基準信号VREFおよび撮像信号Voutは、同相ノイズが乗るが、バッファ部25の出力電圧Voutから基準信号VREFの差分（Vout-VREF）は、同相ノイズの影響を受けない。A/D変換装置27は、バッファ部25から入力された撮像信号Voutおよび基準信号生成部26から生成された基準信号VREFを同一のタイミングでサンプリングし、デジタルの撮像信号Voutを外部へ出力する。この結果、A/D変換結果は、同相ノイズの影響を受けない。

【0115】

以上説明した本発明の実施の形態1によれば、第1のグローバル側回路260が水平走査部245によって順次選択された奇数列の列ソースフォロワバッファ244（列側回路）が接続されることによって、ボルテージフォロワ回路となり、列ソースフォロワバッファ244から入力される撮像信号（Vin）の電圧に対してインピーダンス変換を行い、ボルテージフォロワにより増幅率を1倍に増幅して撮像信号（Vout）を出力するので、列ソースフォロワバッファ244が出力する撮像信号のレベルを最大限に用いることができる。

30

【0116】

また、本発明の実施の形態1によれば、画素230よりも低い電源電圧で動作するA/D変換装置27へ出力する場合において、A/D変換装置27の入力ダイナミックレンジと線形性を確保することができる。

40

【0117】

さらに、本発明の実施の形態1によれば、列ソースフォロワバッファ244の入力換算雑音を低減することができる。

【0118】

また、本発明の実施の形態1によれば、基準信号生成部26が画素230で生成された撮像信号と同相の揺らぎ成分を有する基準信号を生成するので、同相ノイズの影響を実質的に受けない状態で撮像信号をデジタルの撮像信号に変換して出力することができる。

【0119】

また、本発明の実施の形態1によれば、比較回路403の入力端子に接続される容量を

50

略フラットにすることができるので、A/D変換装置27が出力する出力信号の線形性が劣化することを防止することができる。

【0120】

(実施の形態1の変形例1)

次に、本発明の実施の形態1の変形例1について説明する。本実施の形態1の変形例1は、上述した実施の形態1に係る基準信号生成部26の構成が異なる。以下においては、本実施の形態1の変形例1に係る基準信号生成部の構成について説明する。なお、上述した実施の形態1に係る内視鏡システム1と同一の構成には同一の符号を付して説明を省略する。

【0121】

〔基準信号生成部の構成〕

図12は、本発明の実施の形態1の変形例1に係る基準信号生成部の構成を模式的に示す回路図である。

【0122】

図12に示す基準信号生成部26aは、上述した実施の形態1に係る基準信号生成部26からノイズ除去相当回路305、列相当回路306および、バッファ相当回路307を省略した構成であり、2つの抵抗301aおよび抵抗302bからなる抵抗分割回路301と、タイミング生成部28から印加される駆動信号で駆動するスイッチ302(トランジスタ)と、電源から独立させて、揺らぎから開放させるためのサンプリング容量303(コンデンサ)と、画素相当回路304と、を有する。

【0123】

以上説明した本発明の実施の形態1の変形例1によれば、画素230によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成してA/D変換装置27へ出力することができるうえ、撮像素子21のチップ面積を小型化することができる。

【0124】

(実施の形態1の変形例2)

次に、本発明の実施の形態1の変形例2について説明する。本実施の形態1の変形例2は、上述した実施の形態1に係る基準信号生成部26の構成が異なる。以下においては、本実施の形態1の変形例2に係る基準信号生成部の構成について説明する。なお、上述した実施の形態1に係る内視鏡システム1と同一の構成には同一の符号を付して説明を省略する。

【0125】

〔基準信号生成部の構成〕

図13は、本発明の実施の形態1の変形例2に係る基準信号生成部の構成を模式的に示す回路図である。

【0126】

図13に示す基準信号生成部26bは、上述した実施の形態1に係る基準信号生成部26からスイッチ302(トランジスタ)、サンプリング容量303(コンデンサ)、画素相当回路304、ノイズ除去相当回路305、列相当回路306およびバッファ相当回路307を省略した構成であり、2つの抵抗301aおよび抵抗301bからなる抵抗分割回路301を有する。

【0127】

以上説明した本発明の実施の形態1の変形例2によれば、画素230によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成してA/D変換装置27へ出力することができるうえ、撮像素子21のチップ面積をより小型化することができる。

【0128】

(実施の形態2)

次に、本発明の実施の形態2について説明する。本実施の形態2は、上述した実施の形

10

20

30

40

50

態 1 に係る撮像素子 2 1 の構成が異なる。以下においては、本実施の形態 2 に係る撮像素子の構成を説明後、本実施の形態 2 に係る撮像素子の動作について説明する。なお、上述した実施の形態 1 に係る内視鏡システム 1 と同一の構成には同一の符号を付して説明を省略する。

【 0 1 2 9 】

〔撮像素子の回路の構成〕

図 1 4 は、本発明の実施の形態 2 に係る撮像素子の構成を模式的に示す回路図である。図 1 4 に示す撮像素子 2 1 a は、上述した実施の形態 1 に係る撮像素子 2 1 のバッファ部 2 5 および基準信号生成部 2 6 に換えて、バッファ部 2 5 a および基準信号生成部 2 6 c を備える。

10

【 0 1 3 0 】

〔バッファ部の構成〕

まず、バッファ部 2 5 a の構成について説明する。バッファ部 2 5 a は、水平走査部 2 4 5 によって順次選択された列ソースフォロワバッファ 2 4 4 が接続されることによって、ボルテージフォロワ回路となり、入力される撮像信号をボルテージフォロワにより 1 倍増幅にして A / D 変換装置 2 7 へ出力する。バッファ部 2 5 a は、画素 2 3 0 の奇数列および偶数列それぞれに設けられた第 1 のグローバル側回路 2 6 0 a および第 2 のグローバル側回路 2 7 0 a を有する。第 1 のグローバル側回路 2 6 0 a および第 2 のグローバル側回路 2 7 0 a は、インピーダンス変換部として機能する。

【 0 1 3 1 】

第 1 のグローバル側回路 2 6 0 a は、上述した実施の形態 1 に係る第 1 のグローバル側回路 2 6 0 の構成に加えて、第 4 のトランジスタ 2 6 6 、定電流源 2 6 7 と、第 5 のトランジスタ 2 6 8 と、定電流源 2 6 9 と、をさらに有する。

20

【 0 1 3 2 】

第 4 のトランジスタ 2 6 6 は、一端側（ソース側）が定電流源 2 6 7 に接続され、他端側（ドレイン側）がグランド GND に接続され、ゲートがスイッチ 2 6 1 、第 1 のトランジスタ 2 6 2 および水平転送線 2 5 7 を介して列ソースフォロワバッファ 2 4 4 の列選択スイッチ 2 5 5 に接続される。第 4 のトランジスタ 2 6 6 は、PMOS を用いて構成される。

【 0 1 3 3 】

定電流源 2 6 7 は、一端側が電源電圧 VDD に接続され、他端側が第 4 のトランジスタ 2 6 6 の一端側（ソース側）および第 5 のトランジスタ 2 6 8 のゲートに接続される。なお、本実施の形態 2 では、定電流源 2 6 7 が第 3 の定電流源として機能する。

30

【 0 1 3 4 】

第 5 のトランジスタ 2 6 8 は、一端側（ドレイン側）が電源電圧 VDD に接続され、他端側（ソース側）が定電流源 2 6 9 に接続され、ゲートが定電流源 2 6 7 に接続される。第 5 のトランジスタ 2 6 8 は、NMOS を用いて構成される。

【 0 1 3 5 】

定電流源 2 6 9 は、一端側がグランド GND に接続され、他端側が第 5 のトランジスタ 2 6 8 の他端側（ソース側）に接続される。なお、本実施の形態 2 では、定電流源 2 6 9 が第 4 の定電流源として機能する。

40

【 0 1 3 6 】

このように構成された第 1 のグローバル側回路 2 6 0 a は、出力段をソースフォロワ構成としているため、水平走査部 2 4 5 によって順次選択された奇数列の列ソースフォロワバッファ 2 4 4 （列側回路）が接続されることによって、ボルテージフォロワ回路となり、入力される撮像信号（Vin）をボルテージフォロワにより 1 倍に増幅した撮像信号（Vout）を A / D 変換装置 2 7 へ出力する。

【 0 1 3 7 】

第 2 のグローバル側回路 2 7 0 a は、上述した第 1 のグローバル側回路 2 6 0 a と同一の構成を有し、定電流源 2 5 6 と、スイッチ 2 6 1 と、第 1 のトランジスタ 2 6 2 と、第

50

2のトランジスタ263と、第3のトランジスタ264と、定電流源265と、第4のトランジスタ266、定電流源267と、第5のトランジスタ268と、定電流源269と、を有する。

【0138】

このように構成された第2のグローバル側回路270aは、水平走査部245によって順次選択された偶数列の列ソースフォロワバッファ244（列側回路）が接続されることによって、ボルテージフォロワ回路となり、入力される撮像信号（ V_{in} ）をボルテージフォロワにより1倍に増幅した撮像信号（ V_{out} ）をA/D変換装置27へ出力する。

【0139】

基準信号生成部26cは、画素230によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成してA/D変換装置27へ出力する。なお、基準信号生成部26cの回路の詳細は、後述する図15において説明する。

【0140】

〔基準信号生成部の構成〕

次に、図14において説明した基準信号生成部26cの詳細な構成について説明する。図15は、基準信号生成部26cの構成を模式的に示す回路図である。

【0141】

図15に示す基準信号生成部26cは、上述した実施の形態1に係る基準信号生成部26のバッファ相当回路307に換えて、バッファ相当回路307aを有する。

【0142】

バッファ相当回路307aは、第1のグローバル側回路260aと相当な回路を形成し、定電流源256と、スイッチ261と、第1のトランジスタ262と、第2のトランジスタ263と、第3のトランジスタ264と、定電流源265と、第4のトランジスタ266、定電流源267と、第5のトランジスタ268と、定電流源269と、を有する。バッファ相当回路307aは、上述した第1のグローバル側回路260aと相当な回路のため、詳細な説明は省略する。

【0143】

このように構成された基準信号生成部26cは、画素230によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号（ V_{REF} ）を生成してA/D変換装置27へ出力する。

【0144】

〔撮像装置の動作〕

次に、撮像装置20の動作について説明する。図16Aは、撮像装置20の動作を示すタイミングチャートである。図16Bは、図16Aの領域R2のタイミングチャートの一部を拡大した模式図である。図16Aにおいては、受光部23の行<n>の画素230から撮像信号を読み出し、A/D変換装置27からデジタルの撮像信号が出力されるまでを説明する。また、図16Aに示すタイミングチャートでは説明の便宜上、画素230に1つの光電変換素子231のみが含まれるものとしている。画素230に複数の光電変換素子231が含まれる場合（画素共有の場合）には、このタイミングチャートに示す1映像信号ライン分の動作を画素230に含まれる光電変換素子231の数分だけ繰り返し行う。また、図16Aにおいて、最上段から順に、駆動信号R、駆動信号T、駆動信号VCL、駆動信号SW21～SW2n、転送容量252の電圧VIN1～VINn、バッファ部25aの出力電圧Vout、A/D変換装置27の変換タイミング、基準クロックCLK、A/D変換装置27の変換結果の出力タイミングおよび基準信号VREFを示す。また、図16Bにおいて、最上段から順に、基準信号VREF、バッファ部25の出力電圧Vout、基準クロックCLK、A/D変換装置27の動作モードおよびバッファ部25の出力電圧Voutから基準信号VREFの差分（ $V_{out} - V_{REF}$ ）を示す。

【0145】

図16Aおよび図16Bに示すように、まず、タイミング生成部28は、クランプスイッチ253をオン（駆動信号VCLがHigh）し、画素リセット部236にオン（パ

10

20

30

40

50

ルス状の駆動信号 $R < 0 >$ が High)、転送トランジスタ 234 をオフ (パルス状の駆動信号 $T < 0 >$ が Low) することにより (時間 T_1)、読み出し対象の画素 230 特有のばらつきと、画素リセット時のノイズ等を含むノイズ信号を画素 230 から垂直転送線 239 に出力する。このとき、クランプスイッチ 253 をオン (駆動信号 VCL が High) 状態にしたままにすることにより、列ソースフォロワバッファ 244 のゲートがクランプ電圧 $VCLP$ の電圧となり、転送容量 252 に $VRS1 - VCLP$ を充電する。

【0146】

次に、タイミング生成部 28 は、クランプスイッチ 253 をオフ (駆動信号 VCL が Low) にした状態で、転送トランジスタ 234 にオン (パルス状の駆動信号 $T < 0 >$ が High) することにより、電荷変換部 233 が光電変換素子 231 によって光電変換された電荷を変換した信号を垂直転送線 239 に読み出す (時間 T_2)。この状態で、電荷変換部 233 によって電圧変換された撮像信号 $VSI1$ は、垂直転送線 239 に転送される。この動作により、転送容量 252 に、 $VCLP - (VRS1 - VSI1)$ を充電する。これにより、転送容量 252 を介して、ノイズ信号が差し引かれた撮像信号 (光信号) が、列ソースフォロワバッファ 244 のゲートに出力される。ここで、列ソースフォロワバッファ 244 のゲートに出力される信号は、クランプ電圧 $VCLP$ を基準としてサンプリングされた信号である。

【0147】

続いて、タイミング生成部 28 は、列選択スイッチ 255 をオン (駆動信号 $SW21$ が High) することにより (時間 T_3)、転送容量 252 に充電された撮像信号 $Vout1$ ($VCLP - (VRS1 - VSI1)$) が列ソースフォロワバッファ 244 および第 1 のグローバル側回路 260a を介して A/D 変換装置 27 へ出力される。

【0148】

その後、タイミング生成部 28 は、列選択スイッチ 255 を切り替えてオンオフ (駆動信号 $SW21$ が Low、駆動信号 $SW22$ が High) することにより (時間 T_4)、転送容量 252 に充電された撮像信号 $Vout2$ ($VCLP - (VRS2 - VSI2)$) が列ソースフォロワバッファ 244 および第 1 のグローバル側回路 260a を介して A/D 変換装置 27 へ出力される。このとき、A/D 変換装置 27 は、基準信号生成部 26c から出力された基準信号 $VREF$ に基づいて、転送容量 252 から出力された撮像信号 $Vout$ に対して A/D 変換を行ってデジタルの撮像信号 $D1$ を外部へ出力する。

【0149】

続いて、タイミング生成部 28 は、列選択スイッチ 255 を順次切り替えてオンオフ (駆動信号 $SW22 \sim SW2n$) することにより (時間 T_N)、転送容量 252 に充電された撮像信号 $Voutn$ ($VCLP - (VRSn - VSI_n)$) が列ソースフォロワバッファ 244 および第 1 のグローバル側回路 260a を介して A/D 変換装置 27 へ順次出力される。このとき、A/D 変換装置 27 は、基準信号生成部 26c から出力された基準信号 $VREF$ に基づいて、転送容量 252 から順次出力された撮像信号 $Vout$ に対して A/D 変換を行ってデジタルの撮像信号 $D2 \sim DN$ を外部へ順次出力する。

【0150】

このような動作を、撮像装置 20 は、受光部 23 の列数分 (または読み出しが必要な行数分) 繰り返すことにより、撮像信号の同相の揺らぎ成分がキャンセルされたデジタルの撮像信号を外部へ出力する。さらに、撮像装置 20 は、1 ライン分の読み出し動作を画素行数分 (または読み出しが必要な行数分) 繰り返すことにより、1 フレーム分のデジタルの撮像信号を外部へ出力する。

【0151】

また、図 16B に示すように、基準信号 $VREF$ および撮像信号 $Vout$ は、同相ノイズが乗るが、バッファ部 25 の出力電圧 $Vout$ から基準信号 $VREF$ の差分 ($Vout - VREF$) は、同相ノイズの影響を受けない。A/D 変換装置 27 は、バッファ部 25 から入力された撮像信号 $Vout$ および基準信号生成部 26 から生成された基準信号 $VREF$

10

20

30

40

50

E Fを同一のタイミングでサンプリングし、デジタルの撮像信号V o u tを外部へ出力する。この結果、A / D変換結果は、同相ノイズの影響を受けない。

【 0 1 5 2 】

以上説明した本発明の実施の形態2によれば、第1のグローバル側回路260aが水平走査部245によって順次選択された奇数列の列ソースフォロワバッファ244(列側回路)が接続されることによって、ボルテージフォロワ回路となり、列ソースフォロワバッファ244から入力される撮像信号(V i n)の電圧に対してインピーダンス変換を行い、ボルテージフォロワにより増幅率を1倍に増幅して撮像信号(V o u t)を出力するので、列ソースフォロワバッファ244が出力する撮像信号のレベルを最大限に用いることができる。

10

【 0 1 5 3 】

また、本発明の実施の形態2によれば、第1のグローバル側回路260aをソースフォロワ型にすることにより、列ソースフォロワバッファ244のセトリング性能を向上させることができる。

【 0 1 5 4 】

また、本発明の実施の形態2によれば、第1のグローバル側回路260aをソースフォロワ型にすることにより、A / D変換装置27の入力容量を大きくした場合であっても、線形性を確保することができる。

【 0 1 5 5 】

また、本発明の実施の形態2によれば、基準信号生成部26cが画素230で生成された撮像信号と同相の揺らぎ成分を有する基準信号を生成するので、同相ノイズの影響を実質的に受けない状態で撮像信号をデジタルの撮像信号に変換して出力することができる。

20

【 0 1 5 6 】

また、本発明の実施の形態2によれば、比較回路403の入力端子に接続される容量を略フラットにすることができるので、A / D変換装置27が出力する出力信号の線形性が劣化することを防止することができる。

【 0 1 5 7 】

(実施の形態3)

次に、本発明の実施の形態3について説明する。本実施の形態3は、上述した実施の形態1に係るA / D変換装置27における第1のA / D変換部280および第2のA / D変換部290と構成が異なる。以下においては、本実施の形態3に係る第1のA / D変換部および第2のA / D変換部の構成について説明する。なお、上述した実施の形態1に係る内視鏡システム1と同一の構成には同一の符号を付して説明を省略する。

30

【 0 1 5 8 】

〔第1のA / D変換部の構成〕

図17は、本実施の形態3に係る第1のA / D変換部の構成を模式的に示す回路図である。なお、本実施の形態3に係る第1のA / D変換部および第2のA / D変換部は、同じ回路構成のため、以下においては、第1のA / D変換部の構成のみ説明し、第2のA / D変換部の構成の説明は省略する。また、図17に示す第1のA / D変換部280aは、逐次比較型のA / D変換装置であり、9ビット(bit)出力のA / D変換装置であるが、これに限定されず、出力ビット数を適宜変更することができる。

40

【 0 1 5 9 】

図17に示す第1のA / D変換部280aは、上述した実施の形態1に係る第1のA / D変換部280の補正回路404に換えて、補正回路406を備える。

【 0 1 6 0 】

補正回路406は、比較回路403の入力トランジスタの寄生容量を相殺することによって、比較回路403に入力される一対のアナログの信号を補正する。補正回路406は、比較回路403の入力トランジスタの寄生容量を相殺する補正用トランジスタ404aと、補正用トランジスタ404aにバイアス電圧V Bを印加するとともに、バイアス電圧V Bを調整可能なバイアス回路406bと、を有する。バイアス回路406bは、例えば

50

可変抵抗等を用いて構成される。なお、バイアス回路406bは、DAC回路の出力信号を用いて構成されてもよい。

【0161】

〔補正回路のバイアス電圧 V_B の調整方法〕

次に、上述した補正回路406のバイアス電圧の調整方法について説明する。図18は、補正回路406のバイアス電圧の調整方法を示すフローチャートである。図19A~図19Cは、補正回路406のバイアス電圧(n)を変化させたときのINL特性(9ビットADC)を模式的に示す図である。図19A~図19Cにおいて、横軸がcodeを示し、縦軸がINL[a.u]を示す。また、図19Aの曲線L41がバイアス電圧 $V_B = V_B(1)$ のINL特性を示し、図19Bの曲線L42がバイアス電圧 $V_B = V_b(N)$ のINL特性を示し、図19Cの曲線L43がバイアス電圧 $V_B = V_B(n)$ のINL特性を示す。

10

【0162】

図18に示すように、まず、ユーザは、バイアス回路406bを調整して、バイアス電圧 $V_B(1) \sim V_B(N)$ の値を設定し(ステップS101)、 $n = 1$ に設定する(ステップS102)。ここで、 N がバイアス電圧 V_B を分割する際の最大値を示す。

【0163】

続いて、バイアス回路406bは、補正用トランジスタ404aにバイアス電圧 $V_B(n)$ を印加する(ステップS103)。

【0164】

その後、ユーザは、第1のA/D変換部280aにテスト信号を入力し、A/D変換を実行させ(ステップS104)、第1のA/D変換部280aから出力された出力コード $DOUT(n)$ を測定し、 $INL(n)$ を算出する(ステップS105)。この場合、バイアス電圧 $V_B(1)$ のINL特性は、図19Aの曲線L41に示すような上側に凸状をなす。

20

【0165】

続いて、ユーザは、算出した $INL(n)$ より、 INL の最大値 $INL_MAX(n)$ 、最小値 $INL_MIN(n)$ を算出する(ステップS106)。

【0166】

その後、ユーザは、 n が N であるか否かを判断する(ステップS107)。 n が N である場合(ステップS107:Yes)、後述するステップS109へ移行する。

30

【0167】

これに対して、 n が N でない場合(ステップS107:No)、ユーザは、 n をインクリメント($n = n + 1$)し(ステップS108)、ステップS103へ戻り、 $n = N$ になるまで、上述したステップS103~ステップS107を繰り返す。この場合、バイアス電圧 $V_B(N)$ のINL特性は、図19Bの曲線L42に示すような下側に凸状をなす。

【0168】

ステップS109において、ユーザは、最大値 $INL_MAX(n)$ と最小値 $INL_MIN(n)$ の絶対値の差分が小さく、最大値 $INL_MAX(n)$ と最小値 $INL_MIN(n)$ の絶対値の平均値が小さい n を選択する。

40

【0169】

その後、ユーザは、バイアス電圧 $V_B(n)$ を補正用トランジスタ404aのバイアス電圧に設定する(ステップS110)。具体的には、ユーザは、バイアス回路406bが補正用トランジスタ404aに印加するバイアス電圧が $V_B(n)$ となるように調整する。この場合、図19Cに示すように、バイアス電圧 $V_B(n)$ のINL特性は、図19Cの曲線L43に示すような略直線状をなす。ステップS110の後、ユーザは、本処理を終了する。

【0170】

以上説明した本発明の実施の形態3によれば、比較回路403の入力端子に接続される容量を略フラットにすることができるので、A/D変換装置27が出力する出力信号の線

50

形性が劣化することを防止することができる。

【0171】

(その他の実施の形態)

本発明の実施の形態では、伝送ケーブルを介して撮像装置が生成した撮像信号をプロセッサへ伝送していたが、例えば有線である必要はなく、無線であってもよい。この場合、所定の無線通信規格(例えばWi-Fi(登録商標)やBluetooth(登録商標))に従って、撮像信号をプロセッサへ伝送するようにすればよい。もちろん、他の無線通信規格に従って無線通信を行ってもよい。さらに、撮像信号以外にも、内視鏡の各種情報を更新するための更新情報を伝送してもよい。

【0172】

また、本発明の実施の形態では、撮像素子を1チップで構成していたが、複数の画素を配置してなる画素チップと、読み出し部からA/D変換装置までの各種回路を配置してなる回路チップと、を分割し、画素チップ上に回路チップを積層する2チップとしてもよい。

【0173】

また、本発明の実施の形態では、伝送ケーブルを介してA/D変換装置からデジタルの撮像信号をコネクタ部へ伝送していたが、例えばデジタルの撮像信号を光信号に変換する光カプラ等を設け、デジタルの撮像信号を光信号によってコネクタ部へ伝送してもよい。

【0174】

また、本明細書において、前述の各動作フローチャートの説明において、便宜上「まず」、「次に」、「続いて」、「その後」等を用いて動作を説明しているが、この順で動作を実施することが必須であることを意味するものではない。

【0175】

また、本発明の実施の形態では、プロセッサと光源装置とが一体的に形成されていたが、これに限定されることなく、例えばプロセッサと光源装置とが別体であってもよい。

【0176】

また、本発明の実施の形態では、同時方式の内視鏡を例に説明したが、面順次方式の内視鏡であっても適用することができる。

【0177】

また、本発明の実施の形態では、軟性内視鏡(上下内視鏡スコープ)以外にも、硬性内視鏡、副鼻腔内視鏡および電気メスや検査プローブ等の内視鏡システムであっても適用することができる。

【0178】

また、本発明の実施の形態では、逐次比較型A/D変換装置が撮像装置として、被検体に挿入される挿入部の先端部に設けられた内視鏡の撮像装置を例に説明したが、これに限定されることなく、レンズ装置を着脱自在な撮像装置、携帯電話に内蔵された撮像装置、表示モニタレスの撮像装置、ネットワークを介して操作される監視カメラ、デジタルカムコーダおよび顕微鏡に用いられる撮像装置等に適用することができる。

【0179】

また、本発明は、上述した実施の形態および変形例そのままに限定されるものではなく、実施段階では、発明の要旨を逸脱しない範囲内で構成要素を変形して具体化することができる。また、上述した実施の形態に開示されている複数の構成要素を適宜組み合わせることによって、種々の発明を形成することができる。例えば、上述した実施の形態および変形例に記載した全構成要素からいくつかの構成要素を削除してもよい。さらに、各実施の形態および変形例で説明した構成要素を適宜組み合わせてもよい。

【0180】

また、明細書または図面において、少なくとも一度、より広義または同義な異なる用語とともに記載された用語は、明細書または図面のいかなる箇所においても、その異なる用語に置き換えることができる。このように、発明の主旨を逸脱しない範囲内において種々の変形や応用が可能である。

10

20

30

40

50

【符号の説明】

【0181】

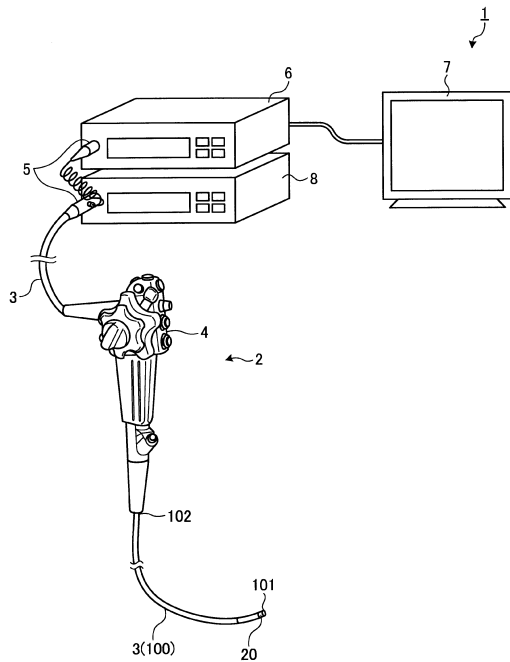
1	内視鏡システム	
2	内視鏡	
3	伝送ケーブル	
4	操作部	
5	コネクタ部	
6	プロセッサ	
7	表示装置	
8	光源装置	10
20	撮像装置	
21, 21a	撮像素子	
23	受光部	
24	読み出し部	
25, 25a	バッファ部	
26, 26a ~ 26c	基準信号生成部	
27	A/D変換装置	
28	タイミング生成部	
29	ヒステリシス部	
51	パルス生成部	20
52	信号処理部	
53	電源電圧生成部	
61	電源部	
62	クロック生成部	
63	プロセッサ制御部	
64	画像処理部	
100	挿入部	
101	先端部	
230	画素	
231	光電変換素子	30
233	電荷変換部	
234	転送トランジスタ	
236	画素リセット部	
237	画素ソースフォロワトランジスタ	
239	垂直転送線	
241	垂直走査部	
242	定電流源	
243	ノイズ除去部	
244	列ソースフォロワバッファ	
245	水平走査部	40
246	基準電圧生成部	
252	転送容量	
253	クランプスイッチ	
254	列ソースフォロワトランジスタ	
255	列選択スイッチ	
256	定電流源	
257	水平転送線	
260, 260a	第1のグローバル側回路	
261	スイッチ	
262	第1のトランジスタ	50

- 263 第2のトランジスタ
- 264 第3のトランジスタ
- 265 定電流源
- 266 第4のトランジスタ
- 267 定電流源
- 268 第5のトランジスタ
- 269 定電流源
- 270, 270a 第2のグローバル側回路
- 280, 280a 第1のA/D変換部
- 290 第2のA/D変換部
- 304 画素相当回路
- 305 ノイズ除去相当回路
- 306 列相当回路
- 307, 307a バッファ相当回路
- 401 サンプリング回路
- 402 容量性DAC回路
- 403 比較回路
- 404, 406 補正回路
- 404a 補正用トランジスタ
- 404b, 406b バイアス回路
- 405 制御回路

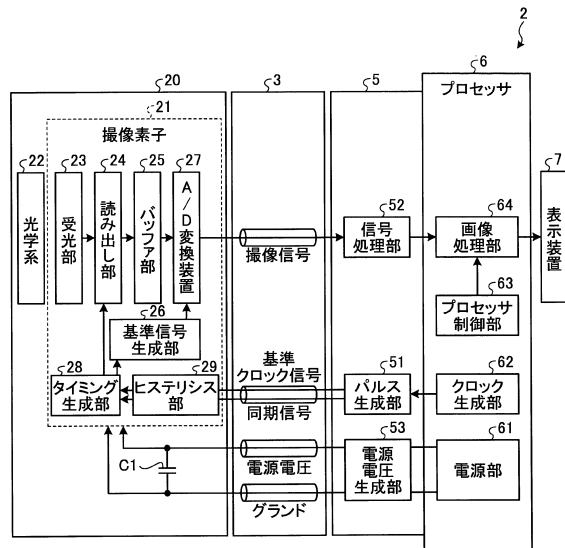
10

20

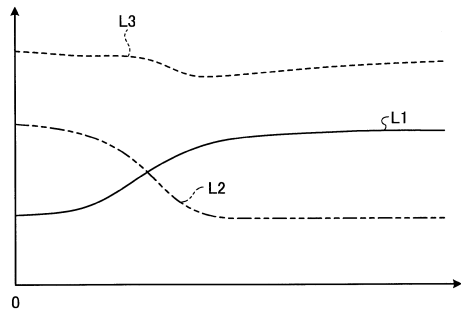
【図1】



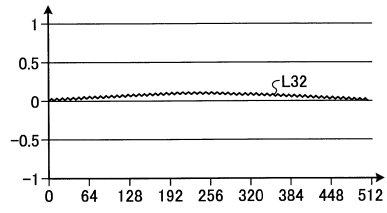
【図2】



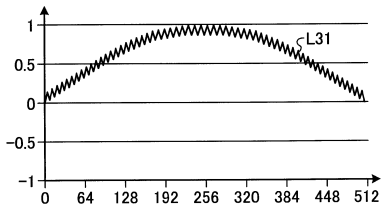
【図 8】



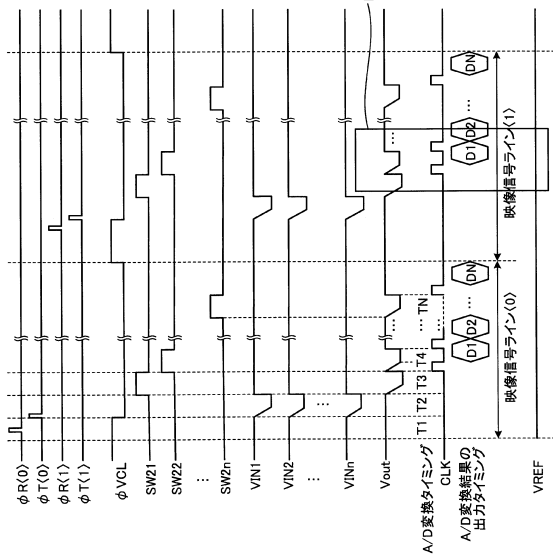
【図 10】



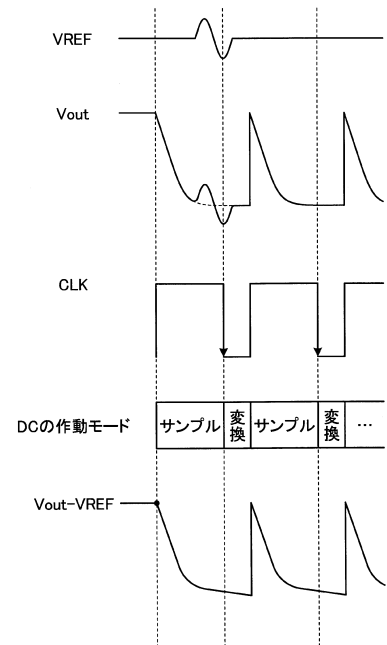
【図 9】



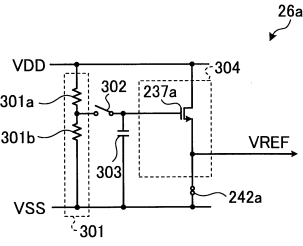
【図 11 A】



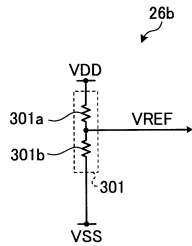
【図 11 B】



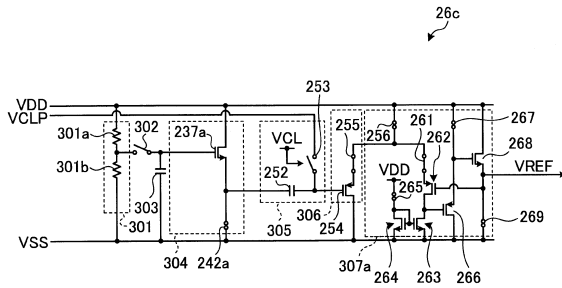
【図12】



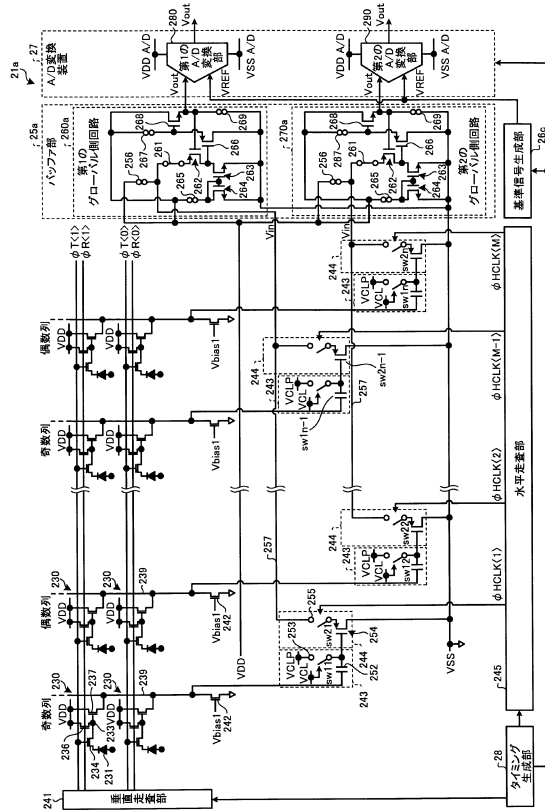
【図13】



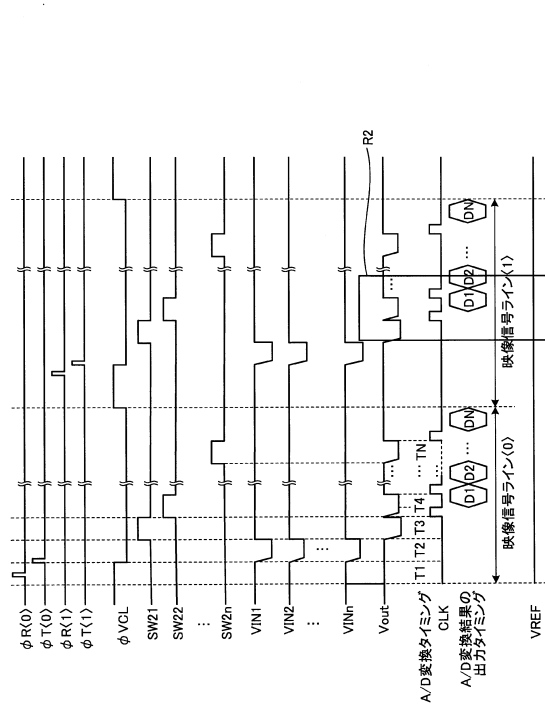
【図15】



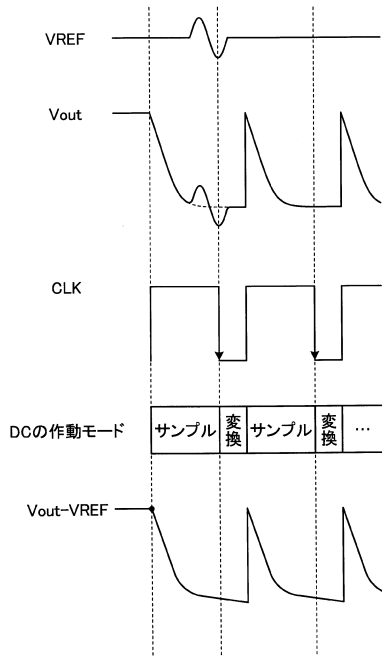
【図14】



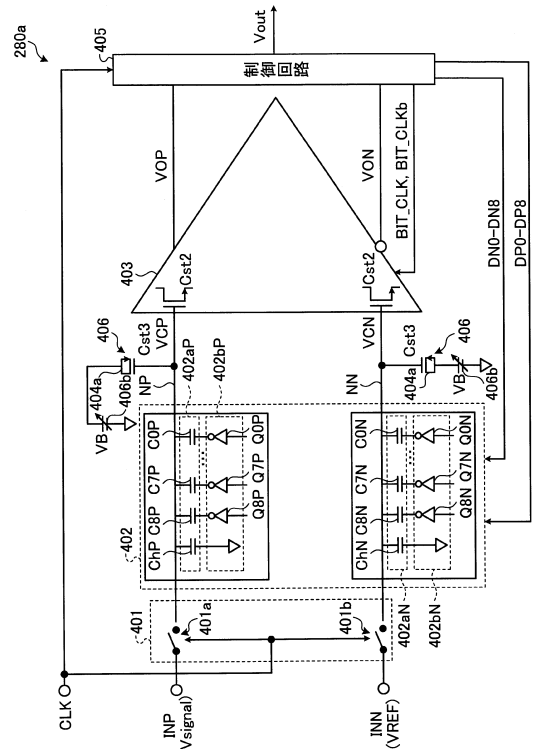
【図16A】



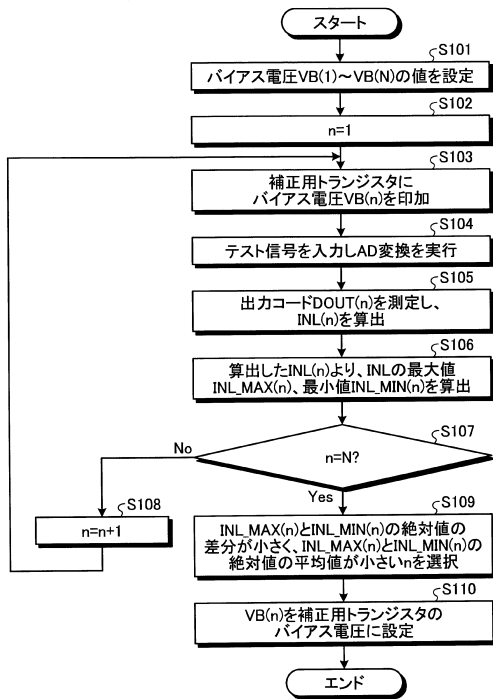
【図16B】



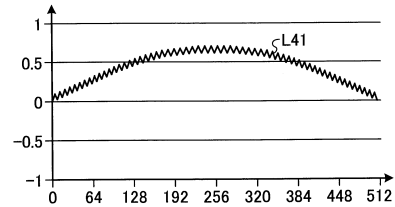
【図17】



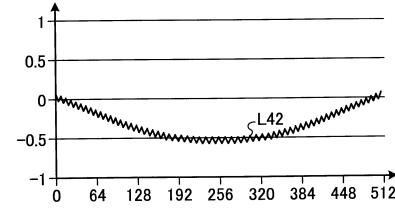
【図18】



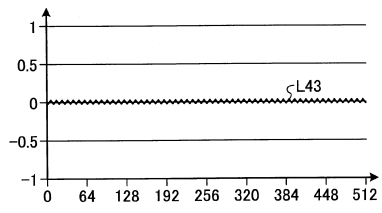
【図19A】



【図19B】



【 19 C】



フロントページの続き

審査官 及川 尚人

- (56)参考文献 特表2013-526179(JP,A)
特表2003-504912(JP,A)
特開2012-114756(JP,A)
特開2015-023587(JP,A)
特開2013-168870(JP,A)
国際公開第2016/170642(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H03M	1/00 - 1/88
A61B	1/045
H04N	5/378

专利名称(译)	逐次逼近型A / D转换器，成像装置，内窥镜和设定方法		
公开(公告)号	JP6445746B2	公开(公告)日	2018-12-26
申请号	JP2018537891	申请日	2017-09-06
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
当前申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	平出修三 原田靖也 大澤雅人		
发明人	平出 修三 原田 靖也 大澤 雅人		
IPC分类号	H03M1/10 H03M1/38 H04N5/378 A61B1/045		
CPC分类号	A61B1/00009 A61B1/00018 A61B1/045 A61B1/051 H03M1/1057 H03M1/123 H03M1/468 H04N5/378 H03M1/10 H03M1/38 H03M1/802		
FI分类号	H03M1/10.A H03M1/38 H04N5/378 A61B1/045.630		
审查员(译)	菅直人及川		
优先权	2016247964 2016-12-21 JP		
其他公开文献	JPWO2018116540A1		
外部链接	Espacenet		

摘要(译)

提供了一种逐次逼近型A / D转换装置，成像装置，内窥镜和能够防止输出信号的线性度恶化的设置方法。逐次逼近型A / D转换装置27包括电容电路402，其具有用于保持由采样电路401采样的一对模拟信号的二进制电容，用于转换形成一对电压信号的一个信号的电容电路402和另一信号比较电路403和校正电路404，用于输出消除比较电路403的输入晶体管的寄生电容的一对电压信号到比较电路403。当对应于二进制容量的数字信号的每个比特的值是2分钟时并且控制电路405用于通过搜索方法顺序地确定并反映参考信号中的数字信号的每个比特的值。

(19) 日本国特許庁(JP)	(12) 特許公報(B2)	(11) 特許番号 特許第6445746号 (P6445746)
(45) 発行日 平成30年12月26日(2018.12.26)	(24) 登録日 平成30年12月7日(2018.12.7)	
(51) Int. Cl.	F I	
<i>H03M</i> 1/10 (2006.01)	<i>H03M</i> 1/10	A
<i>H03M</i> 1/38 (2006.01)	<i>H03M</i> 1/38	
<i>H04N</i> 5/378 (2011.01)	<i>H04N</i> 5/378	
<i>A61B</i> 1/045 (2006.01)	<i>A61B</i> 1/045	630
請求項の数 9 (全 34 頁)		
(21) 出願番号 特願2018-537891(P2018-537891)	(73) 特許権者 000000376	
(86) (22) 出願日 平成29年9月6日(2017.9.6)	オリンパス株式会社	
(86) 国際出願番号 PCT/JP2017/032169	東京都八王子市石川町2951番地	
(87) 国際公開番号 W02018/116540	110002147	
(87) 国際公開日 平成30年6月28日(2018.6.28)	特許業務法人酒井国際特許事務所	
審査請求日 平成30年7月19日(2018.7.19)	平出 修三	
(31) 優先権主張番号 特願2016-247964(P2016-247964)	東京都八王子市石川町2951番地	オリ
(32) 優先日 平成28年12月21日(2016.12.21)	ンパス株式会社内	
(33) 優先権主張国 日本国(JP)	(72) 発明者 原田 靖也	
早期審査対象出版	東京都八王子市石川町2951番地	オリ
	ンパス株式会社内	
	(72) 発明者 大澤 雅人	
	東京都八王子市石川町2951番地	オリ
	ンパス株式会社内	
	最終頁に続く	
(54) 【発明の名称】 逐次比較型A / D変換装置、撮像装置、内視鏡および設定方法		